

Zestaw 1

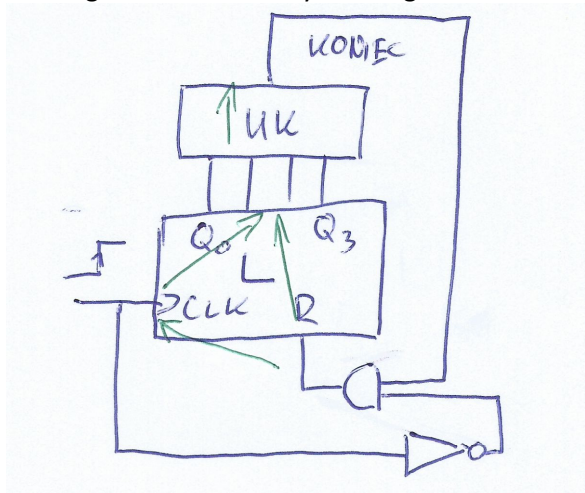
1. Proszę wykonać optymalizację następującej funkcji (bity i ich wagi to A-1,B-2,C-4,D-8) $F(D,C,B,A)=\text{SUM}(1,4,5,11,13,15)+d(0,6,10)$

Proszę wskazać ewentualne rozwiązania równoważne pod względem liczby implikantów (lub implicantów).

2. Proszę zaprojektować **synchroniczny** licznik modulo 240 metodą skracania używając synchronicznych liczników modulo 16 i bramek logicznych. Wskazane układy składowe mają: wejście zgody na zliczanie, asynchroniczne wejście zerujące aktywne poziomem wysokim i wejście zegarowe (aktywne zbocze zegarowe to zbocze narastające). Układ ostateczny powinien posiadać globalny reset do rozpoczęcia pracy i wejście zgody na zliczanie. Dla tego układu proszę zapobiec błędnej pracy licznika ze względu na wartości przejściowe sygnału zerującego (mogą być spowodowane różnymi czasami propagacji od zbocza zegarowego do 1 i 0 na wyjściach licznika). Proszę opisać jak działają elementy układu na etapie zerowania.
3. Proszę zaprojektować **metodą syntezy** (tzn. wyznaczyć optymalne sygnały zegarowe i funkcje wzbudzeń przerzutników) asynchroniczny licznik modulo 10 na przerzutnikach D liczący w NKB ze stanem 0.
4. Proszę określić i UZASADNIĆ PRZEBIEGIEM PRACY I ZNACZENIEM PARAMETRÓW zależność na minimalny okres zegara dla układu licznika synchronicznego skracanego za pomocą synchronicznego zerowania.

Zestaw 2

1. Proszę wykonać optymalizację następującej funkcji (bity i ich wagi to A-1,B-2,C-4,D-8) $F(D,C,B,A)=\text{SUM}(2,8,10,11,13,15)+d(0,5,6)$ Proszę wskazać wszystkie ewentualne rozwiązania równoważne pod względem liczby implikantów (lub implicantów).
2. Proszę zaprojektować **asynchroniczny** licznik modulo 230 metodą skracania używając asynchronicznych liczników modulo 16 i bramek logicznych. Układu ten powinien być wyposażony w układ zapobiegający błędnej pracy licznika ze względu na zbyt krótki czas trwania impulsu aktywnego sygnału zerującego (spowodowany różnymi czasami propagacji od wejścia zerującego do wyjść). Wskazane układy składowe mają: asynchroniczne wejście zerujące aktywne poziomem wysokim i wejście zegarowe (aktywne zbocze zegarowe to zbocze narastające). Układ ostateczny powinien posiadać globalny reset do rozpoczęcia pracy. Proszę opisać jak działają elementy układu na etapie zerowania. Proszę wykonać i uzasadnić przebieg operacji dodawania wyrażonych w kodzie BCD liczb dziesiętnych 389 i 671.
2. Proszę wykonać sumowanie dla liczb dziesiętnych -8 i -9 zapisanych w notacji binarnej uzupełnieniowej. Przed wykonaniem dodawania proszę określić minimalną liczbę bitów wyniku oraz zakodować składniki za pomocą wystarczającej liczby bitów.
3. Proszę określić i UZASADNIĆ PRZEBIEGIEM PRACY I ZNACZENIEM PARAMETRÓW zależność określającą minimalny okres zegara dla licznika wykonanego we schemacie obok, skracanego za pomocą asynchronicznego zerowania.



Zestaw 3

1. Proszę wyznaczyć implicyty pierwsze dla następującej funkcji (bity i ich wagi to A-1,B-2,C-4,D-8) $F(D,C,B,A)=\text{SUM}(0,1,2,4,5,10,15)+d(7,13)$. Które z wyznaczonych implicantów są kluczowe? Proszę utworzyć tablicę pokrycia i zapisać optymalną funkcję przy użyciu minimalnej liczby implicantów korzystając wyłącznie z funkcji negacji sumy (NOR).
2. Proszę zaprojektować **synchroniczny** licznik modulo 300 metodą skracania używając synchronicznych liczników modulo 16 i bramek logicznych. Wskazane układy składowe mają: wejście zgody na zliczanie, synchroniczne wejście zerujące aktywne poziomem wysokim i wejście zegarowe (aktywne zbocze zegarowe to zbocze narastające). Układ ostateczny powinien posiadać globalny reset do rozpoczęcia pracy i wejście zgody na zliczanie pozwalające na wstrzymanie zliczania przez licznik. Dla tego układu proszę określić ograniczenia na prędkość zmian sygnału zegarowego.
3. Proszę wykonać i uzasadnić przebieg operacji dodawania wyrażonych w kodzie BCD liczb dziesiętnych 989 i 912.
4. Zaprojektować licznik modulo 16 przy użyciu przerzutników JK a następnie wypisać kolejne stany (również przejściowe) na wyjściach licznika (kolejne wektory wyjściowe).
5. Proszę wykonać sumowanie dla liczb dziesiętnych -17 i -9 zapisanych w notacji binarnej uzupełnieniowej. Przed wykonaniem dodawania proszę określić minimalną liczbę bitów wyniku oraz zakodować składniki za pomocą liczby bitów wystarczającej do wykonania dodawania.

Zestaw 4

1. Proszę wyznaczyć implikanty pierwsze dla następującej funkcji (bity i ich wagi to A-1,B-2,C-4,D-8) $F(D,C,B,A)=\Pi(2,3,7,9,10,12,13,15)+d(5,6,8)$. Które z wyznaczonych implikantów są kluczowe? Proszę utworzyć tablicę pokrycia i zapisać optymalną funkcję przy użyciu minimalnej liczby implikantów korzystając wyłącznie z funkcji negacji sumy (NOR).
2. Proszę zaprojektować **synchroniczny** licznik modulo 300 metodą skracania używając synchronicznych liczników modulo 16 i bramek logicznych. Wskazane układy składowe mają: wejście zgody na zliczanie, synchroniczne wejście zerujące aktywne poziomem wysokim i wejście zegarowe (aktywne zbocze zegarowe to zbocze narastające). Układ ostateczny powinien posiadać globalny reset do rozpoczęcia pracy i wejście zgody na zliczanie pozwalające na wstrzymanie zliczania przez licznik. Dla tego układu proszę określić ograniczenia na prędkość zmian sygnału zegarowego.
3. Proszę wykonać i uzasadnić przebieg operacji dodawania wyrażonych w kodzie BCD liczb dziesiętnych 989 i 912.
4. Zaprojektować licznik modulo 16 przy użyciu przerzutników JK a następnie wypisać kolejne stany (również przejściowe) na wyjściach licznika (kolejne wektory wyjściowe).
5. Proszę wykonać sumowanie dla liczb dziesiętnych -17 i -9 zapisanych w notacji binarnej uzupełnieniowej. Przed wykonaniem dodawania proszę określić minimalną liczbę bitów wyniku oraz zakodować składniki za pomocą liczby bitów wystarczającej do wykonania dodawania.

Zestaw 5

1. Proszę wyznaczyć implikanty pierwsze dla następującej funkcji (bity i ich wagi to A-1,B-2,C-4,D-8) $F(D,C,B,A)=\text{SUM}(0,1,4,14)+d(5,6,8)$. Które z wyznaczonych implikantów są kluczowe? Proszę utworzyć tablicę pokrycia i zapisać optymalną funkcję przy użyciu minimalnej liczby implikantów korzystając wyłącznie z funkcji negacji sumy (NOR).
2. Proszę zaprojektować synchroniczny licznik modulo 8 przy użyciu przerzutników D i bramek logicznych. Dla tego układu proszę określić ograniczenia na prędkość zmian sygnału zegarowego.
3. Proszę wykonać i uzasadnić przebieg operacji dodawania liczb dziesiętnych 588 i 912 wyrażonych w kodzie BCD.
4. Proszę wykonać sumowanie dla liczb dziesiętnych -16 i -15 zapisanych w notacji binarnej uzupełnieniowej. Przed wykonaniem dodawania proszę określić minimalną liczbę bitów wyniku oraz zakodować składniki za pomocą liczby bitów wystarczającej do wykonania dodawania.
5. Proszę zaprojektować **metodą syntezy** (tzn. wyznaczyć optymalne sygnały zegarowe i funkcje wzbudzeń przerzutników) asynchroniczny licznik modulo 6 na przerzutnikach D liczący w NKB ze stanem 0.

Zestaw 6

1. Proszę wyznaczyć implikanty pierwsze dla następującej funkcji (bity i ich wagi to A-1,B-2,C-4,D-8,E-16)
 $F(E,D,C,B,A)=\text{SUM}(5,6,9,13,16,25,29,30,31)+d(14,15,22)$. Które z wyznaczonych implikantów są kluczowe?
Proszę utworzyć tablicę pokrycia i zapisać wszystkie równoważne optymalne wyrażenia realizacji funkcji za pomocą bramek NAND.
2. Proszę narysować korzystając przerzutników JK i bramek logicznych **synchroniczny** licznik modulo 8 .
3. Proszę wykonać i uzasadnić przebieg operacji dodawania wyrażonych w kodzie BCD liczb dziesiętnych 997 i 991.
4. Proszę wykonać odejmowanie liczb dziesiętnych -9 i 13 zapisanych w notacji binarnej uzupełnieniowej.
Przed wykonaniem dodawania proszę określić minimalną liczbę bitów wyniku oraz zakodować składniki za pomocą liczby bitów wystarczającej do wykonania dodawania.
5. Metodą skracania zakresu liczenia zaprojektować licznik asynchroniczny z zerowaniem asynchronicznym modulo 260 (proszę użyć liczniki modulo 16 z wejściem zegarowym – aktywne zbocze narastające i wejściem resetu). Proszę zapobiec zbyt krótkiemu czasowi trwania impulsu zerującego poprzez dodanie w właściwy sposób do licznika układu zatrasku RS zbudowanego z bramek. Proszę określić jak długo w poprawnie zbudowanym układzie trwa sygnał zerujący.