

Podstawowe elementy układów cyfrowych układy sekwencyjne

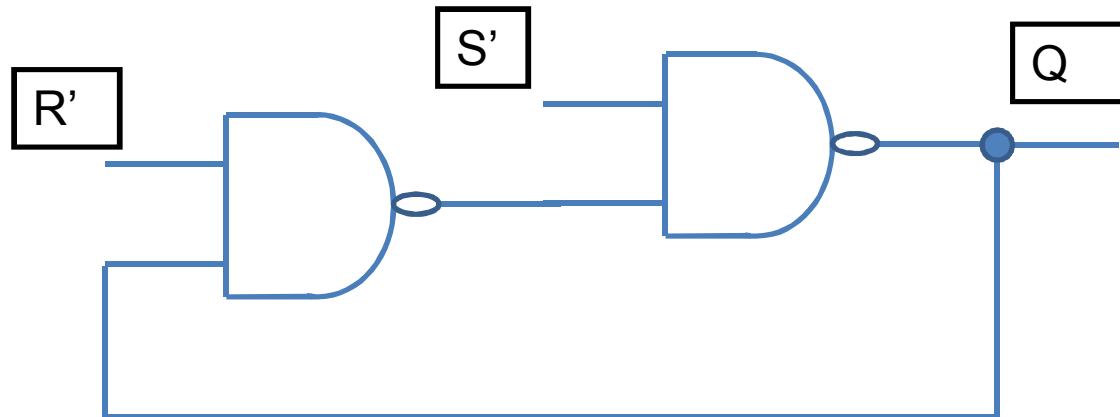
Rafał Walkowiak

Listopad 2017

Przypomnienie - podział układów cyfrowych

- **Układy kombinacyjne** – pozbawione właściwości pamiętania stanów, realizujące funkcje logiczne w oparciu o bramki i inne proste układy cyfrowe.
- **Układy sekwencyjne** - posiadają własność pamiętania stanów logicznych, zbudowane dodatkowo z przerzutników.

Element pamiętający



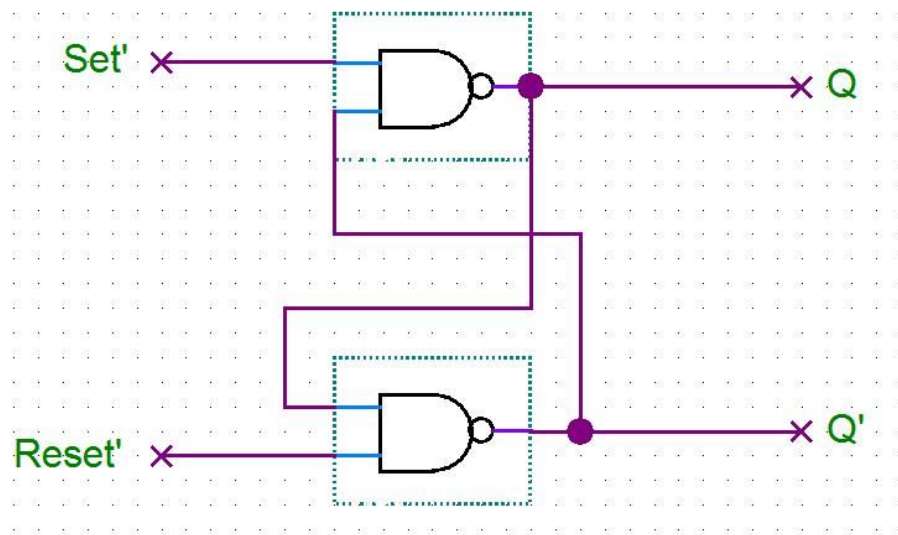
Na wyjściu układu logicznego może być utrzymywana stała wartość logiczna przez zastosowanie **sprzężenia zwrotnego**, w którym **wyjście układu jest połączone z wejściem** w taki sposób, aby **podtrzymać stan** na wyjściu.

S' – nie SET, ustawianie – wprowadzenie wyjścia w 1

R' – nie RESET, zerowanie – wprowadzanie wyjścia w 0

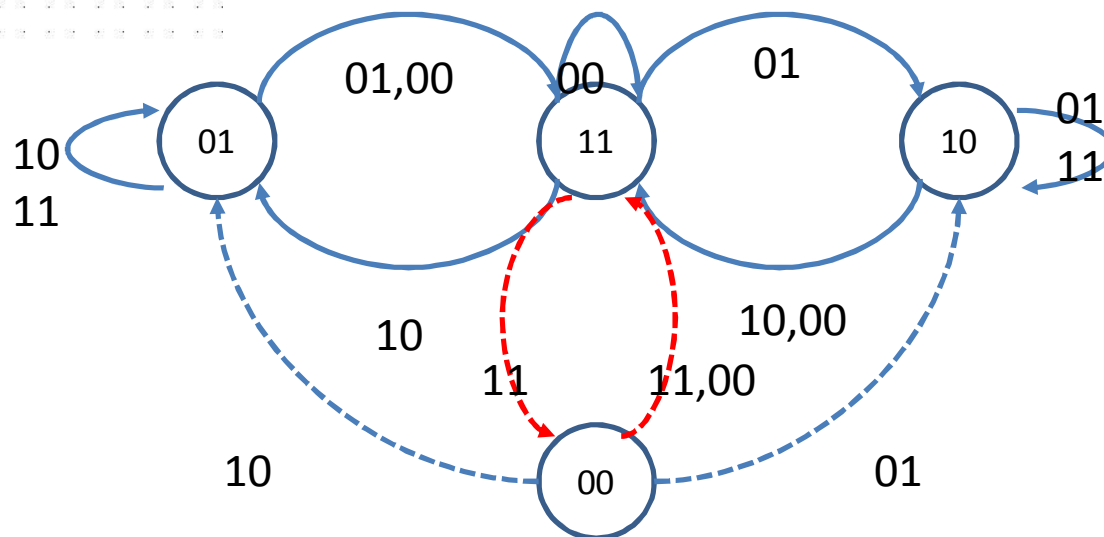
„Nie” oznacza, że aktywny poziom na tym wejściu jest niski i taki poziom realizuje opisane nazwą wejścia działanie.

Zatrask RS



t	Set'	Reset'	Q	Q'
1	0	1	1	0
2	1	1	1	0
3	1	0	0	1
4	1	1	0	1
5	0	0	1	1
6	1	1	?	?

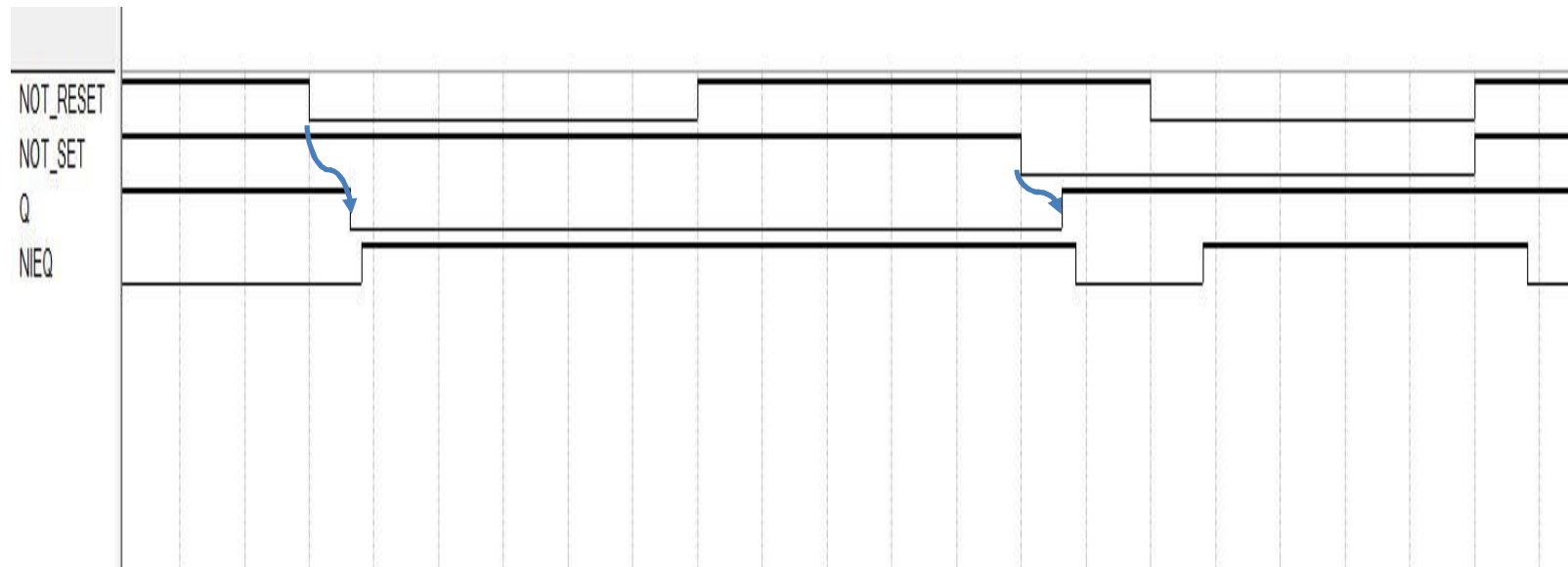
Set'	Reset'	Q	Q'
1	0	0	1
0	1	1	0
1	1	Q(-1)	Q'(-1)
0	0	1	1



Q(-1) Q'(-1) stany poprzednie na wyjściach , strzałkami przerywanymi oznaczono przejścia do/z stanu niestabilnego 00

Zatrask RS

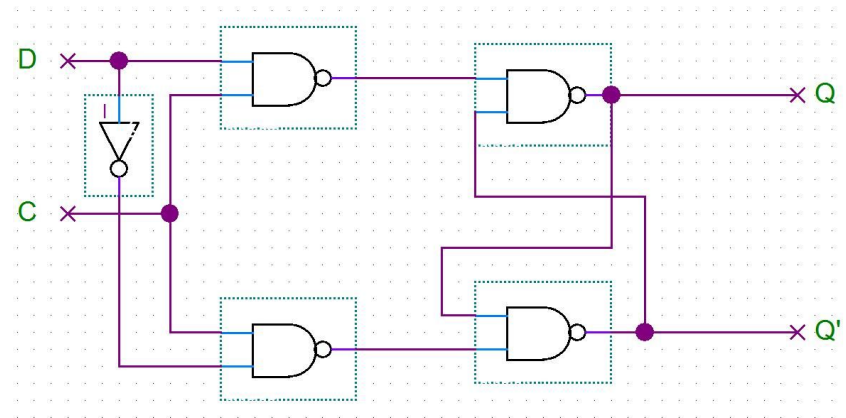
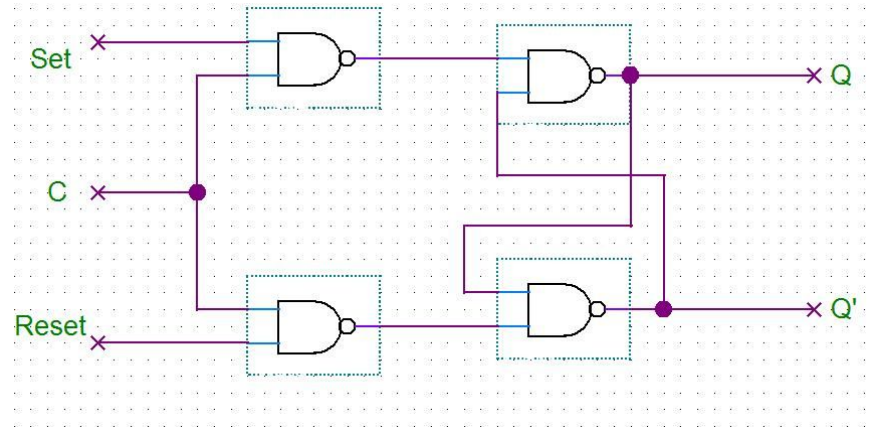
przykładowa symulacja rzeczywista (realizacja w
FPGA DE2)



Momenty zmian na wyjściach struktury wynikają z praktycznej realizacji układu cyfrowego w układzie FPGA.

Równanie charakterystyczne zatrzasku/przerzutnika RS $Q^+ = QR' + S$

Zatrask bramkowy



Wewnątrz układu przerzutnik RS aktywny poziomem niskim:

- $C=0$ wejścia nieaktywne
- $C=1$ wpisywanie informacji
- C  zapamiętanie stanu

Ustawianie wyjść $Q:=D$, $Q':=D'$

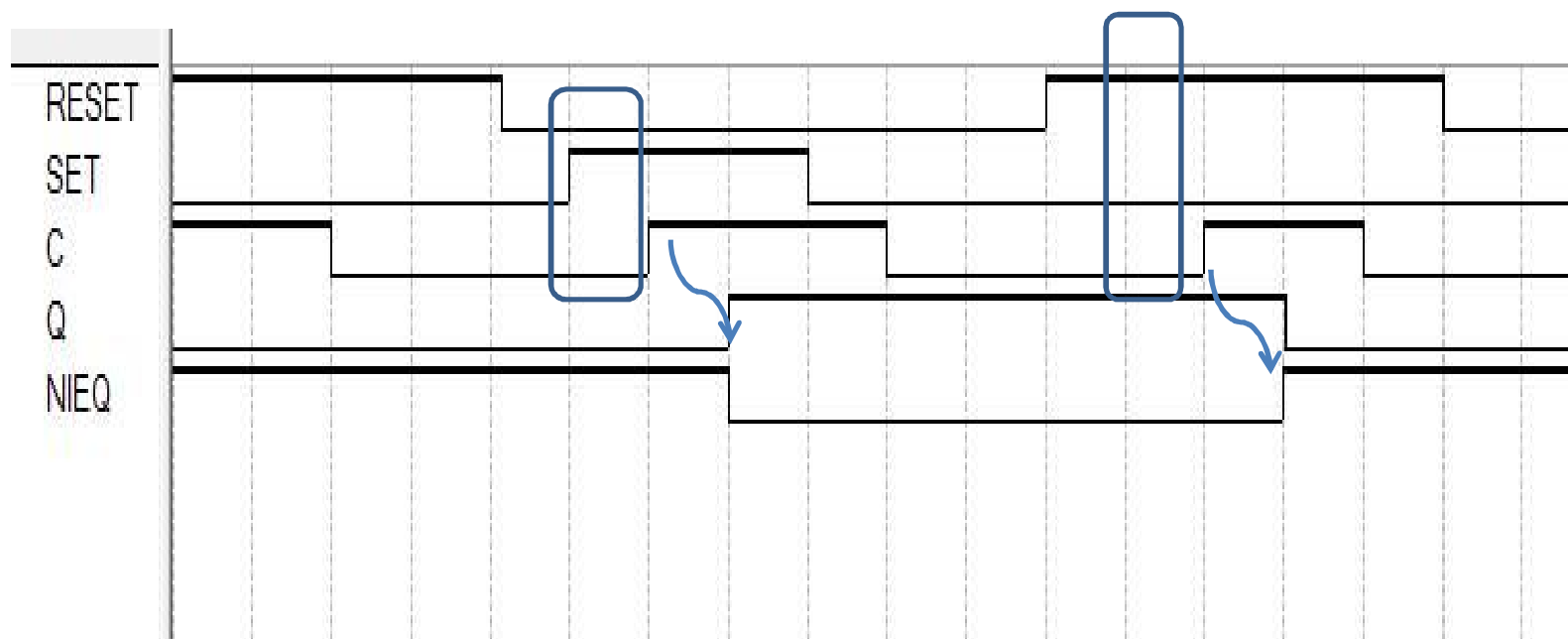
Zapamiętanie informacji z wejścia D przy opadającym zboczach C.

Przerzutnik (ang. flip-flop) zatrzaskowy typu D.

Równanie charakterystyczne:

$$Q^+ = D$$

Zatrzaszk bramkowany RS SYMULACJA

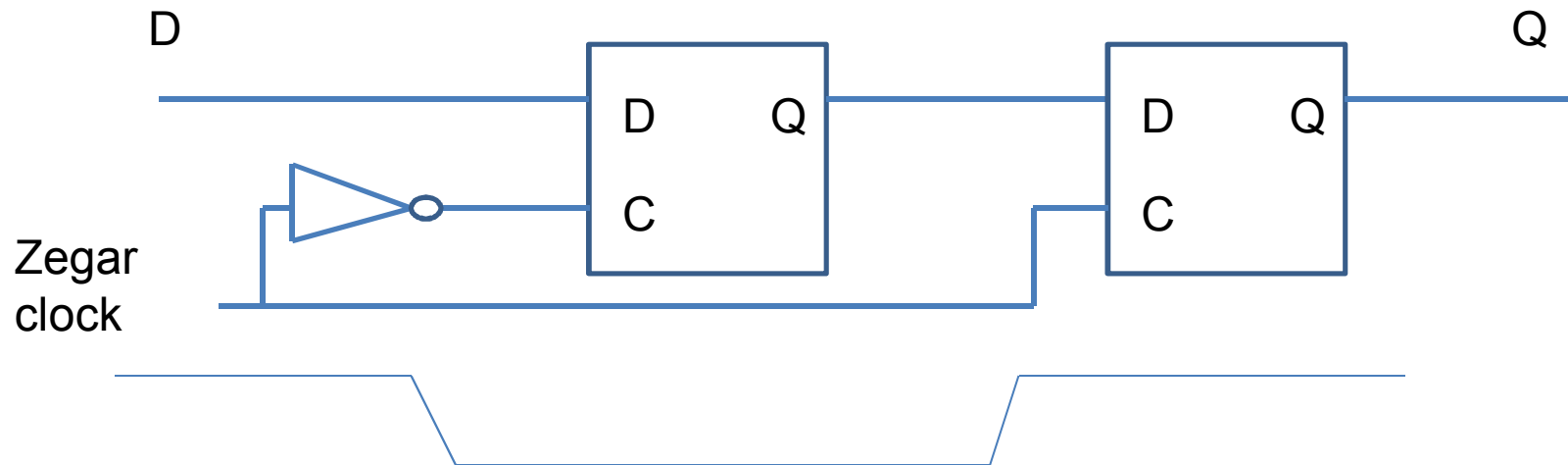


Widoczny na wykresie obszar przygotowania wejść RESET i SET przed uaktywnieniem wejścia C.

Po czasie propagacji zmiany widoczne na wyjściach.

Brak aktywności wejścia C uniemożliwia propagację zmian z wejścia na wyjścia.

Przerzutnik D typu master-slave



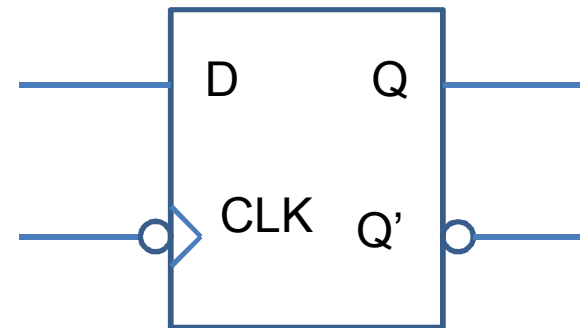
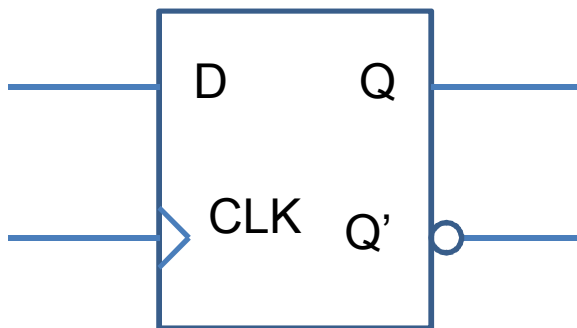
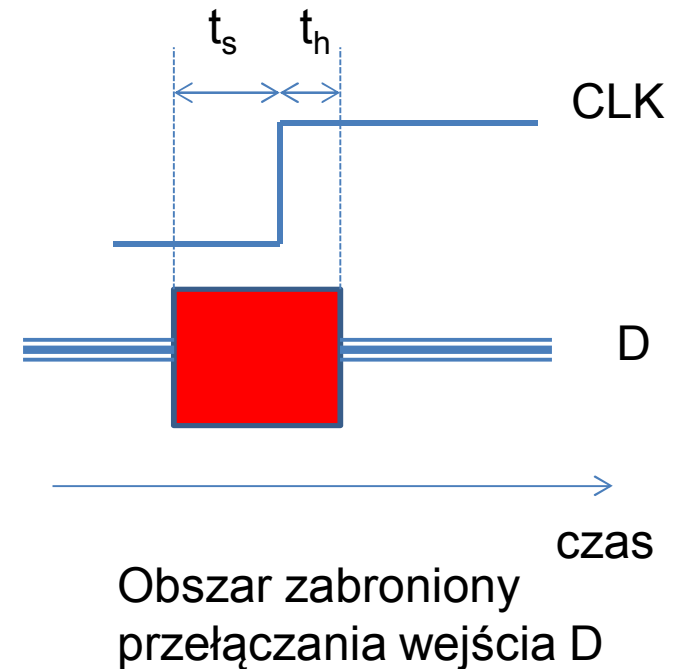
Realizacja: połączenie szeregowe 2 zatrząskóv bramkowanych

Zegar:

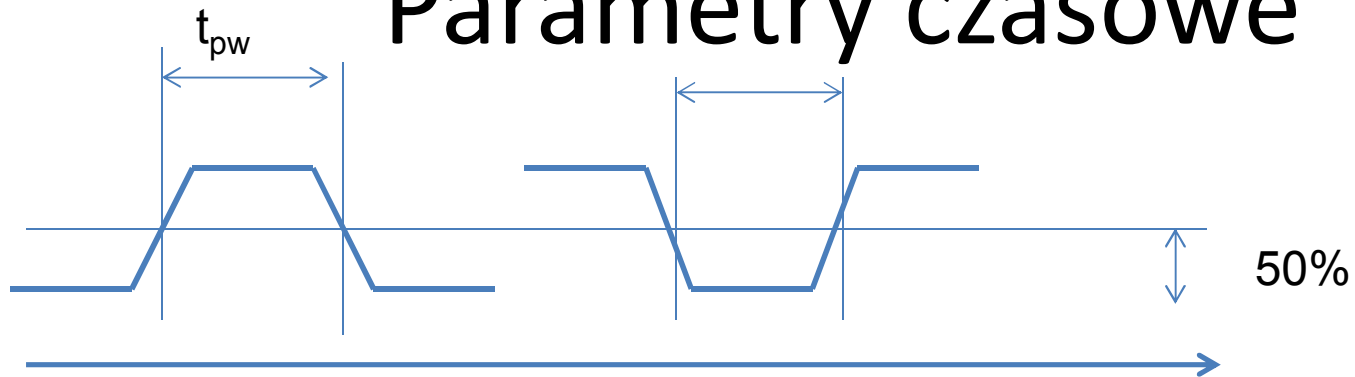
- Zbocze opadające zegara umożliwia wprowadzenie wartości z wejścia na wyjście **pierwszego** przerzutnika, zmiany na wejściu powinny się dokonać przed tym zboczem.
- Zbocze narastające powoduje przepisanie wartości na wyjście **drugiego** przerzutnika.
- Efekt na wyjściu widoczny po zboczu narastającym.
- Impuls niski **odpowiedniej szerokości** niezbędny do zmiany stanu przerzutnika.

Przerzutnik D – przełączany zboczem

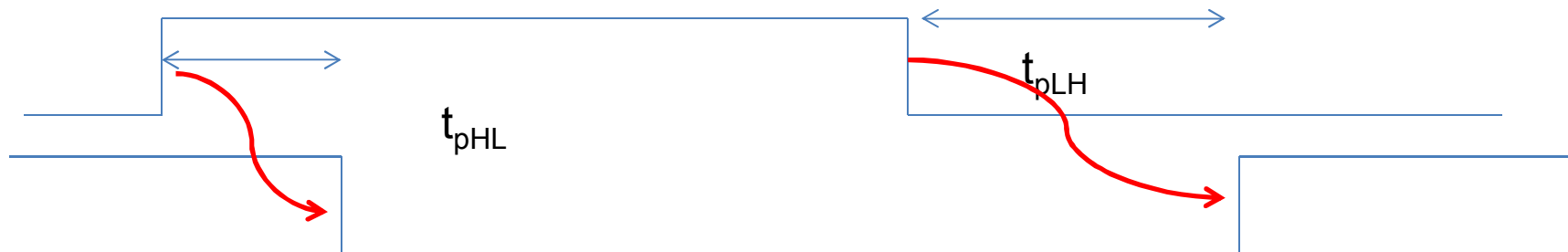
- Zmiany na wyjściu wywoływane **wyłącznie zboczem** narastającym sygnału zegarowego (wyłącznie opadającym rzadziej)
- Poziom sygnału na wejściu informacyjnym D może ulegać zmianom **do momentu** wyznaczonego parametrem: **czasu wyprzedzenia** t_s (setup time) **przed zboczem zegarowym**.
- Poziom sygnału na wejściu informacyjnym D może ulegać zmianom **po momencie** wyznaczonym parametrem: **czasu podtrzymania** t_h (hold time) **po zboczu zegarowym**.
- Realizacja: układ 3 przerzutników, bramkowanie wpisu do 2 przerzutników wejściowych poziomem niskim, przepisanie do RS wyjściowego zboczem narastającym (por. Pieńkos)



Parametry czasowe



Szerokość impulsu (pulse width)

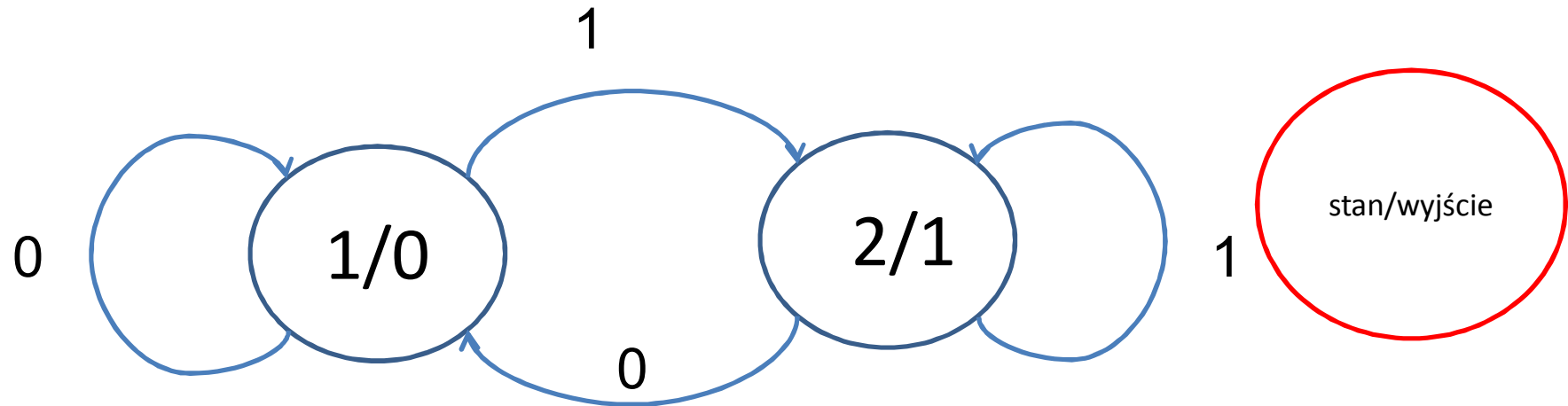


Czas propagacji (od momentu przyczyny do momentu skutku)

Czas propagacji

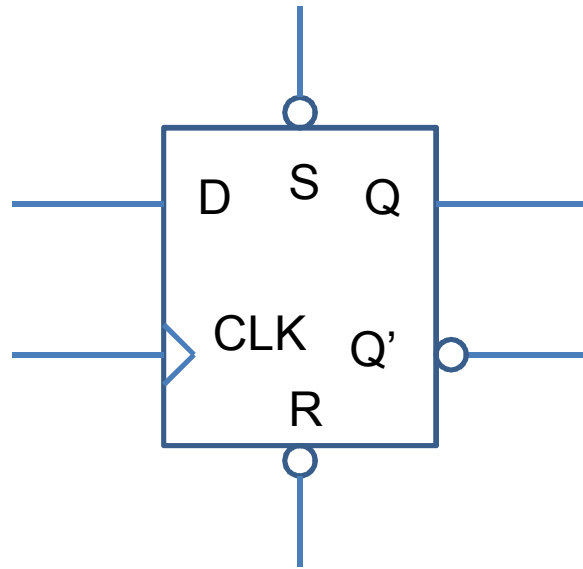
- Definicja: czas upływający pomiędzy wystąpieniem zbocza impulsu wejściowego i wywołanym przez nie zboczem impulsu wyjściowego.
- t_{pHL} przy przejściu sygnału wyjściowego z wysokiego na niski (t_{pLH} analogicznie).
- W katalogach układów cyfrowych dostępne wartości nominalne, maksymalne i minimalne.

Przerzutnik D – graf przejść



- Graf przejść automatu Moore'a (synchronicznego) – wyjścia zdeterminowane wyłącznie stanem automatu. Oznaczenia węzłów- stanów - numer stanu automatu/stan na wyjściu (wektor wyjściowy) etykiety przy łukach określają stan wejściowy umożliwiający przejście do wskazanego strzałką stanu. Automat synchroniczny – przejście pod wpływem zmiany stanu sygnału synchronizującego – zegara.

Przerzutnik D z wejściami ustawiającymi

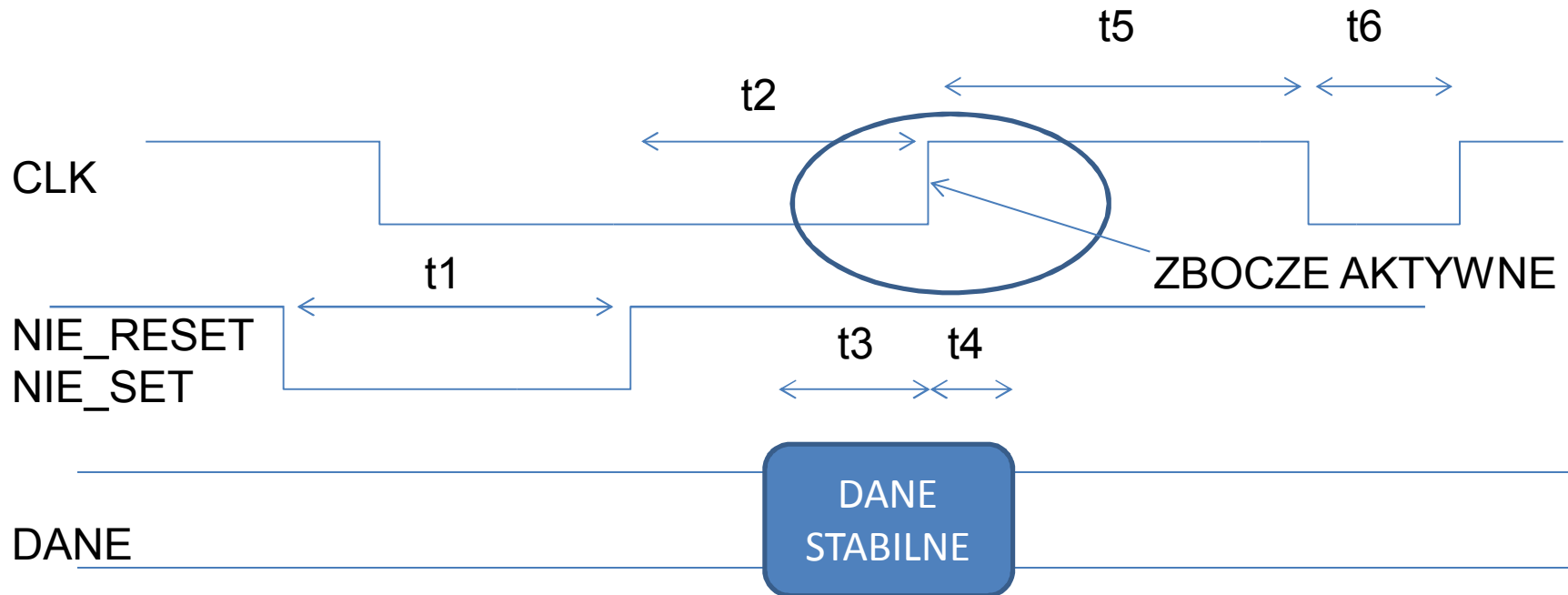


- W tym przypadku: Asynchroniczne (niezależne od zegara) wejście ustawiające/zerujące S/R.
- Kółko przy **wejściu** w symbolu oznacza aktywność poziomem niskim sygnału.
- Wejścia S' i R' „działają” niezależnie od stanu zegara – to wejścia asynchroniczne - posiadające **wyższy priorytet** niż zegar; określają stan wyjść układu.
- Przejście do pracy synchronicznej (realizowanej pod wpływem CLK) wymaga usunięcia aktywnego poziomu sygnału R/S i odczekania czasu określonego parametrem przerzutnika (**czas martwy**, recovery time)

Przerzutniki - parametry czasowe

- Czas propagacji
- Czas wyprzedzenia
- Czas podtrzymania
- Czas impulsu zegara t_{clkH} , t_{clkL}
- Czas impulsu na wejściu asynchronicznym R/S niezbędny dla uzyskania żadanego skutku
- Czas martwy- przejścia do normalnej pracy po aktywności R/S (ang. recovery time)

Parametry - wykres



Dla poprawnej pracy przerzutnika konieczne:

t1 > min czas aktywności wejścia asynchronicznego

t2 > czas martwy

t3 > czas wyprzedzenia

t4 > czas podtrzymania

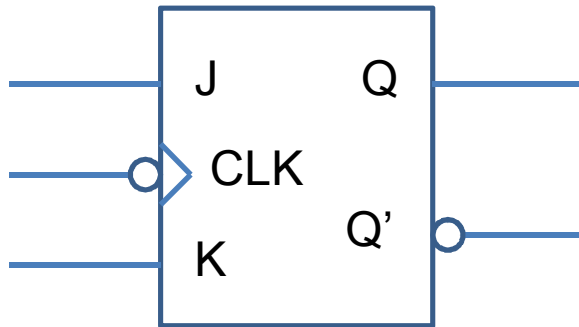
t5 > T_{HCLK}

t6 > T_{LCLK}

Przesunięcie zegara – skos (clock skew)

- Skos - przyczyna - sygnał zegarowy może nie docierać do wszystkich punktów układu w tym samym momencie czasu, może być przyczyną rozsynchronizowania w układzie.
- Rodzaj skosu - skos wypełnienia – spowodowany różnicami pomiędzy czasami propagacji HL i LH powoduje niepożądane efekty w układach wykorzystujących oba zbocza.
- Przyczyny – rozrzut parametrów wynikający z technologii, zmienne środowisko pracy.

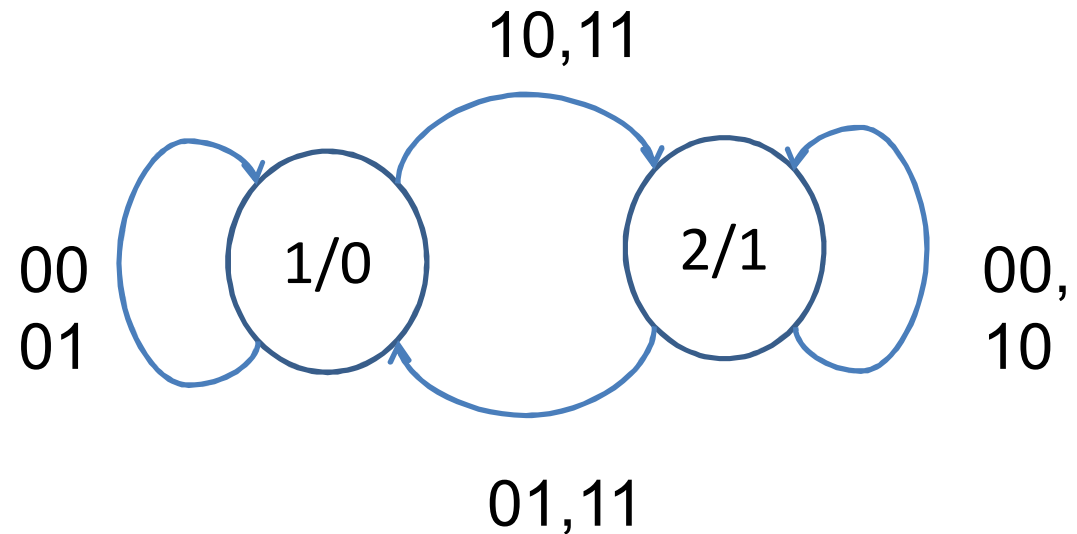
Przerzutnik JK



- Równanie charakterystyczne (przejść):

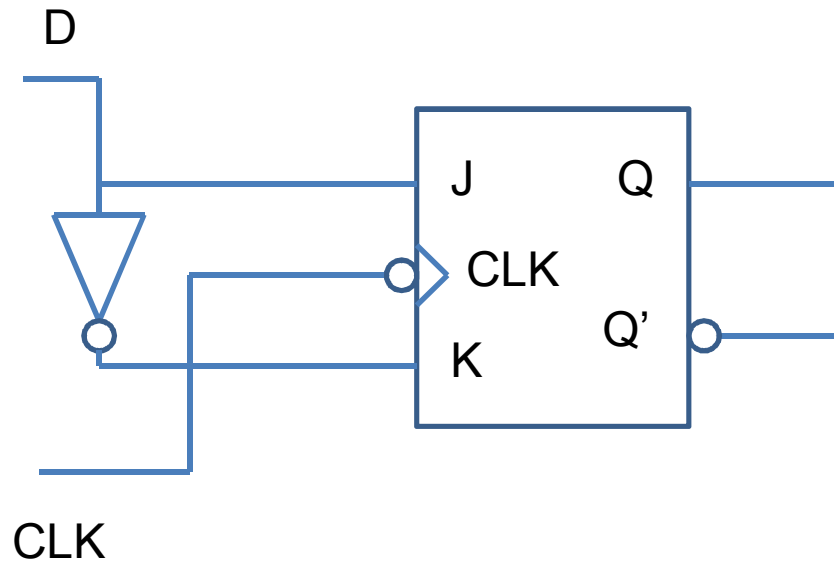
$$Q^+ = JQ' + K'Q$$

J	K	Q ⁺
0	0	Q
0	1	0
1	0	1
1	1	Q'



Graf przejść przerzutnika JK

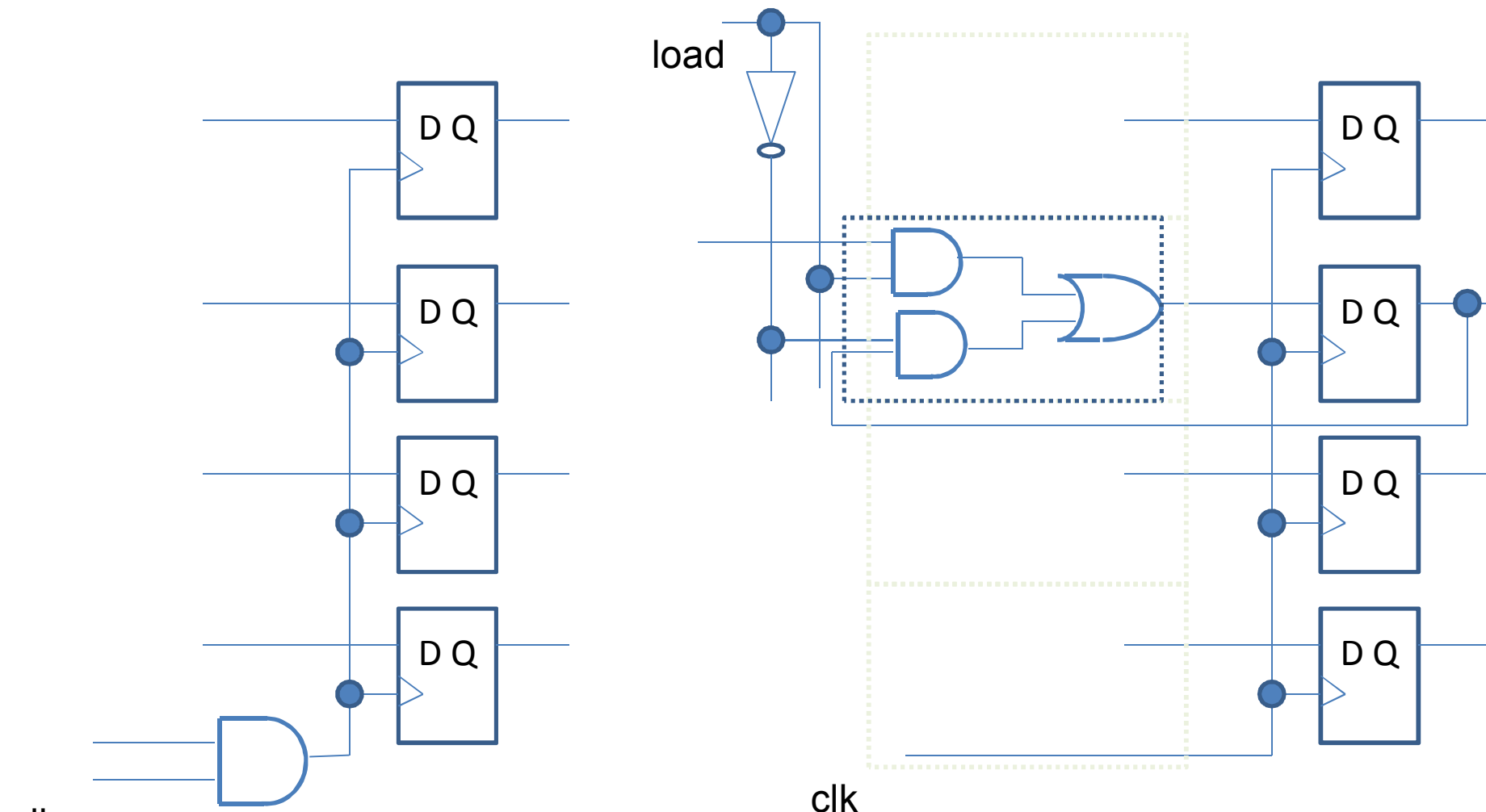
Przerzutnik JK i D



Realizacja przerzutnika D z JK

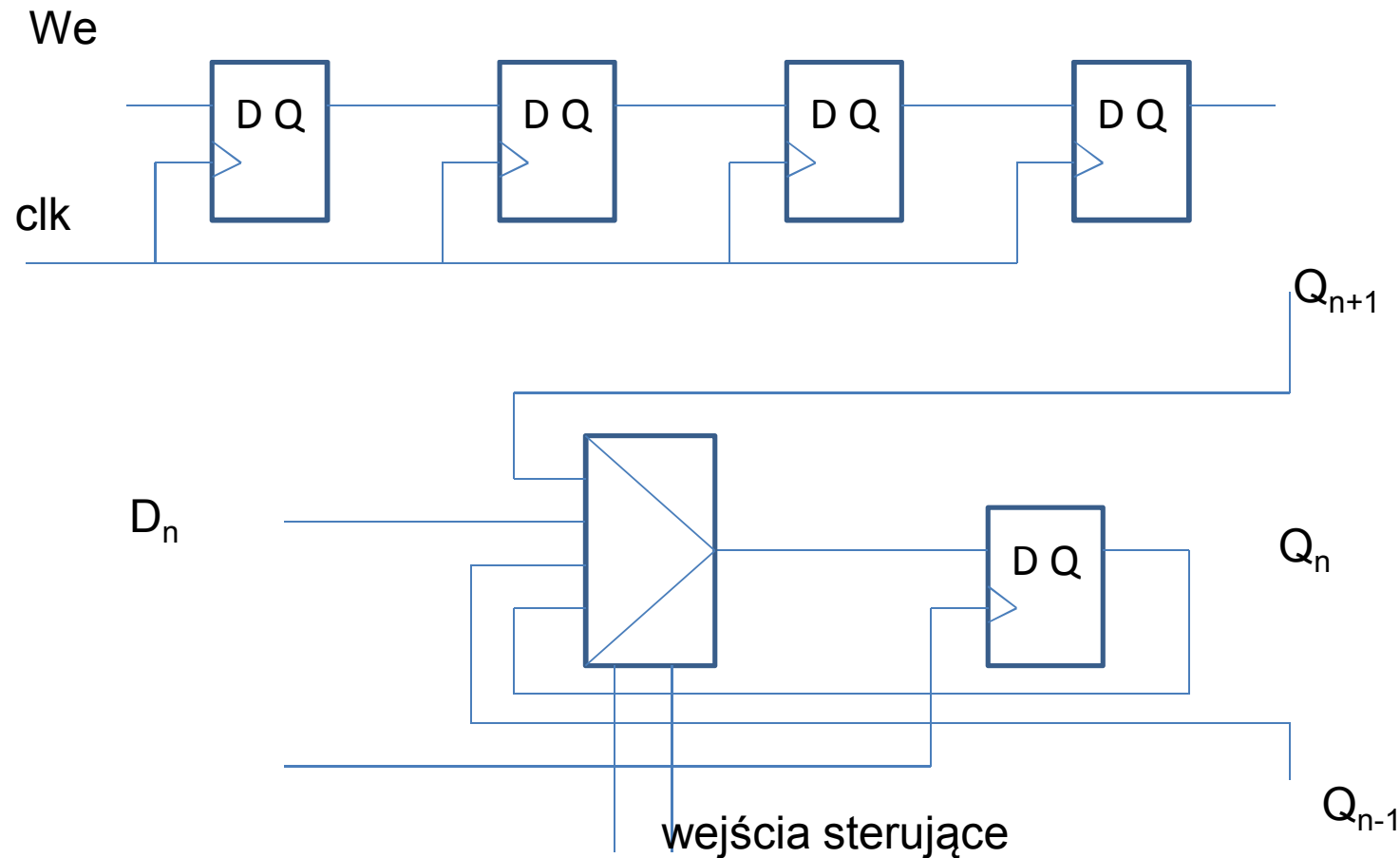
- Uwaga: Często przerzutniki JK są realizowane w wersji master/slave - wtedy czas wyprzedzenia jest równy czasowi trwania poziomu wysokiego zegara (przy aktywności zboczem opadającym)

Rejestry z wejściem równoległym



Rejestr to zbiór/ układ przerzutników o wspólnych sygnałach np. zegarowy, zerowania, trybu pracy; przewaga rozwiązania z prawej strony wynika z braku blokady zegara, możliwy efekt blokady - każdorazowe wyłączenie blokady zegara (przy stanie wysokim clk powoduje zbocze narastające (aktywne) zegara).

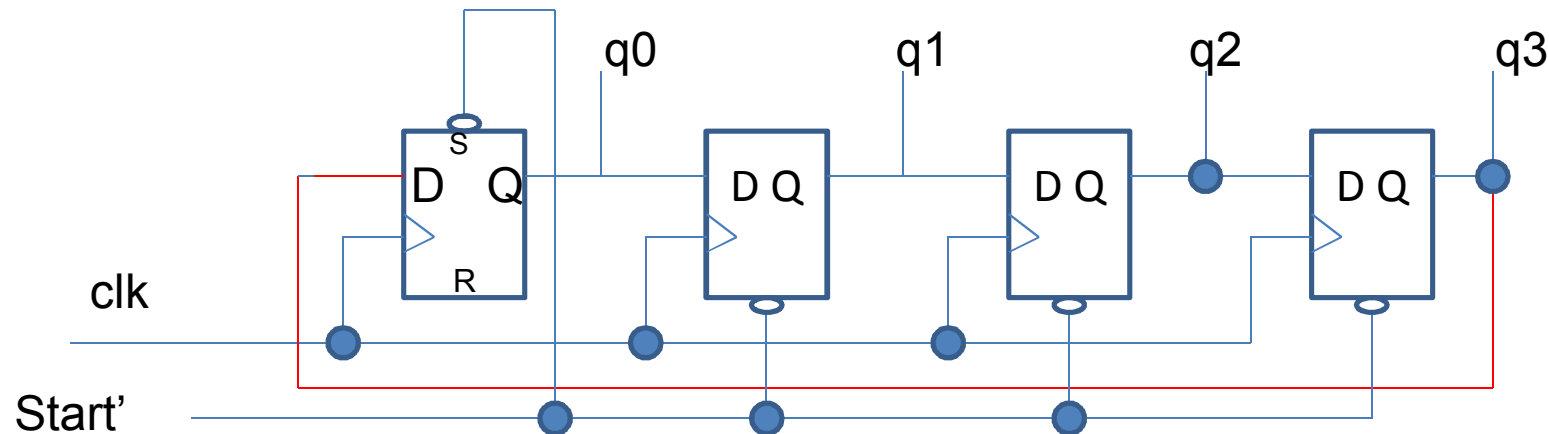
Rejestry przesuwające



Tryb pracy: nic, przesuw w górę, wpis równoległy, przesuw w dół

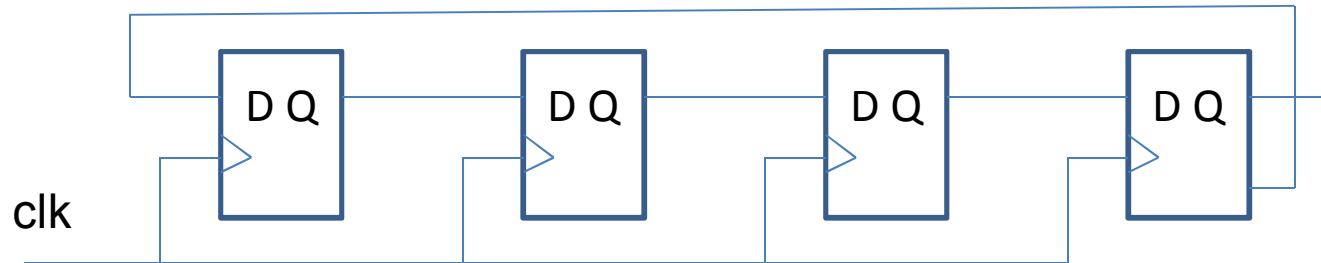
- Z wejściem szeregowym, wyjściem szeregowym
- Z wybieranym typem pracy: możliwość dzielenia przez dwa i mnożenia przez dwa liczb binarnych
- Inne: szeregowo-równoległy, równoległo-szeregowy

Licznik pierścieniowy - synchroniczny generacja impulsów



- Licznik pierścieniowy – z krążącą jedynką, cykliczny układ stanów 1000,0100,0010,0001, długość cyklu równa liczbie przerzutników
- Na wyjściach licznika q0,q1,q2,q3 pojawia się w każdej chwili jeden impuls o czasie trwania równym okresowi zegara.
- Wprowadzenie w kod: start asynchroniczny lub korekcja: **NOR na (N-1) młodszych bitach podłączony do wejścia najmłodszego zamiast bitu najstarszego.**
- Zastosowanie: do synchronizacji elementów układu cyfrowego.

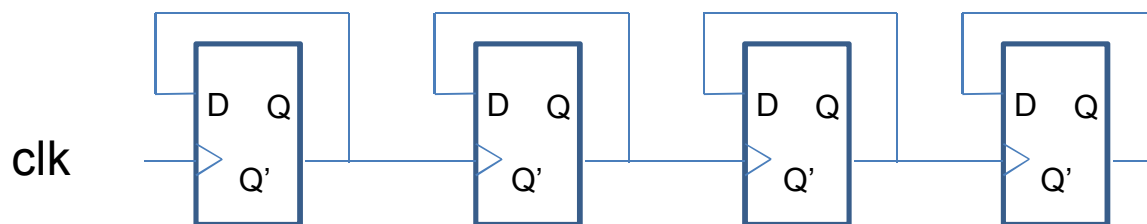
Licznik pseudopierścieniowy



- Kolejne stany (cyklicznie): (n przerzutników daje 2^n stanów)
0000,1000,1100,1110,1111,0111,0011,0001
- Uruchomienie - wprowadzenie w kod: zerowanie rejestrów
- Wartości wektora wyjść w kolejnych cyklach **różnią się na jednej pozycji** – efekt to: brak stanów przejściowych - brak możliwości wystąpienia przejściowo innej kombinacji niż wcześniejsza i kolejna przy zmianie stanu (np. spowodowanej czasami propagacji T_{pHL} i T_{pLH}).
- Dekodowanie każdego ze 2^n stanów jest możliwe poprzez zastosowaniu jednej (n-wejściowej) bramki AND. Zastosowanie 2^n bramek pozwoliłoby na wygenerowanie 2^n sygnałów cyklicznych, (każdy z impulsem o szerokości równej okresowi zegara) przesuniętych względem siebie o wielokrotność okresu zegara, każdy sygnał o okresie równym 2^n .

Licznik **asynchroniczny** modulo 2^n

2^n okresów sygnału zegara w cyklu licznika



NIE potrzebna synteza !!!

Bity w tabeli w kolejności ze schematu.

Pojawią się też stany przejściowe wynikające z szeregowej propagacji sygnału zegarowego na kolejne przerzutniki.

Liczenie w dół możliwe $CLK_n = Q_{n-1}$

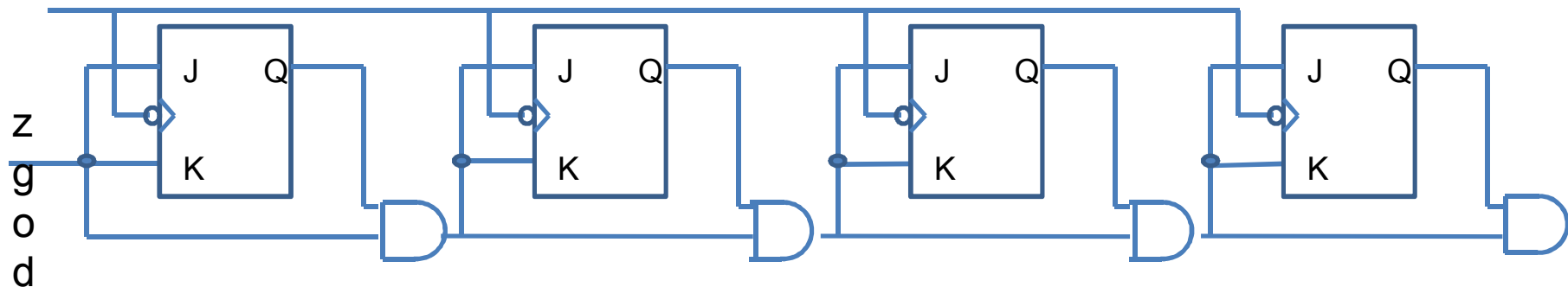
Przy okresie sygnału wejściowego (clk) mniejszym od czasu propagacji przez wszystkie przerzutniki ($4 \cdot T_{pp}$) będzie możliwość zaobserwowania kolejnych liczb binarnych na wyjściach licznika.

modulo 2^n oznacza że na kolejnych wyjściach pojawiają się sygnały o okresach $2T_{clk}$, $4T_{clk}$, $8T_{clk}$, $16T_{clk}$

0	0	0	0
1	0	0	0
0	0	0	0
0	1	0	0
1	1	0	0
0	1	0	0
0	0	0	0
0	0	1	0
1	0	1	0
0	0	1	0
0	1	1	0
1	1	1	0
0	1	1	0
0	0	1	0
0	0	0	0
0	0	0	1

dzielnik częstotliwości

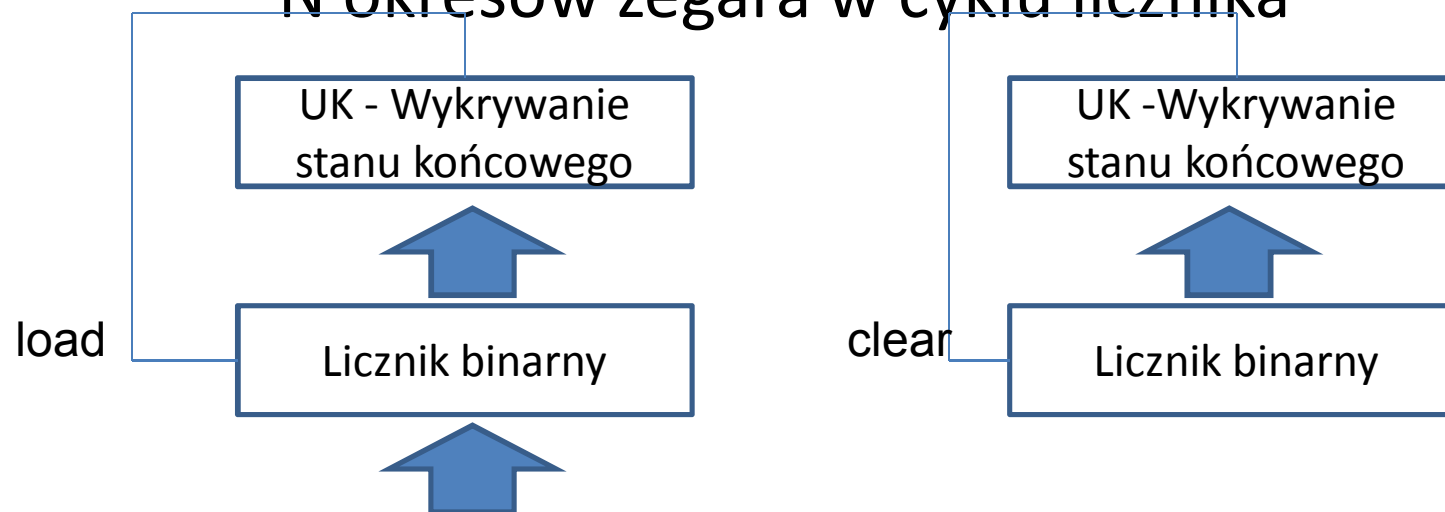
CLK



- Najmłodszy bit - przerzutnik T - sterowana dwójka licząca
- Generacja zgody na zliczanie dla starszych bitów – gdy przepełnienie na młodszych bitach
- Podawanie Q na bramkę AND – zliczanie w górę
- Podawanie Q' na bramkę AND – 0000,1111,0111,1011,0011,1101,1001..., zliczanie w dół (wstecz)
- Implementacja wyboru kierunku zliczania pozwala na uzyskanie licznika rewersyjnego – dwukierunkowego, jak to zrobić ? Spróbuj - 2 x AND i 1 x OR na każdą pozycję licznika.
- Wejście: Zgoda na zliczanie, pozwala na podłączenie globalnego zegara i sterowanie indywidualne każdym licznikiem

Liczniki modulo N –

N okresów zegara w cyklu licznika



- Metoda skracania zakresu pracy liczników.
- Liczniki liczą w zakresie od wpisanego stanu (lub zera) do stanu wykrytego.
- Wykrywana wartość jest zależna od typu wejścia ładującego (zerującego).
- **Asynchroniczne** wejście zerujące powoduje konieczność wykrycia wartości N. Sygnał świadczący o wykryciu N podany jest na wejście zerowania i bez udziału zegara powoduje osiągnięcie stanu 0. Stan zero jest zatem następstwem zbocza doprowadzającego do stanu N. Mamy licznik modulo N – do cyklu potrzebne jest N zboczy zegara.
- Synchroniczne ...
- Na wyjściach licznika binarnego (synchronicznego, asynchronicznego) mogą pojawiać się przejściowo wartości niezgodne z kodem liczenia. Mogą one spowodować wcześniejsze wykrycie stanu i skrócenie kodu licznika zależne od realizacji technologicznej. Rozwiązanie problemu to synchronizacja sygnału kończącego cykl zliczania.

Synteza liczników

- Synteza liczników synchronicznych D, JK
- Synteza liczników asynchronicznych D, JK
- Częstotliwość graniczna pracy liczników
- Synteza liczników to **nie jest** skracanie zakresu pracy licznika modulo 2^n