

Skracanie cyklu pracy liczników

Metoda projektowania liczników liczących w naturalnym kodzie binarnym (NKB) w określonej liczbie stanów N .

Używamy gotowe liczniki liczące w NKB łatwo dostępne:

- Mod 2^n zbudowane w oparciu o JK, D, T (porównaj wykład),
- Licznik 7493, licznik składa się z 2 liczników: mod 2 i mod8, zerowanie asynchroniczne aktywne 1,
- 74193 licznik synchroniczny mod 16, wejścia zegarów: liczenie w górę, liczenia w dół; wyjścia przeniesienia i pożyczki (do łączenia asynchronicznego), zerowanie oraz wpis równoległy asynchroniczny,
- 74161, 74163 liczniki synchroniczne mod 16 z wejścia zgody na zliczanie Enable T, Enable P, reset synchroniczny 74161/reset asynchroniczny 74163, wyjście sygnalizacji maksymalnej wartości (RCO)

Jak zbudować liczniki mod 2^N w oparciu o powyższe układy?

Liczniki mod 16, mod 256, mod 4096 budowa:

Łączenie liczników **7493**

Połączenia: CLKA- wejście, Q0 – CLKB, Q3 –CLKA-kolejnego układu

Łączenie liczników **74193** – liczniki asynchroniczne

Połączenia: Up, down – wejścia zegarowe, (jedno wejście =1),

Carry,Borrow -up,down kolejnego układu

Łączenie liczników **74161,74163**

Zegar do wejść CLK; sygnały RCO liczników młodszych poprzez bramkę AND połączone z Enable T i Enable P kolejnego licznika.

Skrócenie dla uzyskania licznika modulo N (N stanów w NKB) polega na wykryciu (za pomocą układu bramek) stanu końcowego na wyjściach licznika:

- wykrycie $N-1$ - Liczniki mod N z zerowaniem synchronicznym
- wykrycie N - Liczniki mod N z zerowaniem asynchronicznym.

Sygnał wykrycia stanu końcowego podłączamy z odpowiednią polaryzacją (aktywny 0 lub 1) na wejścia RESET układów.

Problemy:

1. Reset nie powoduje przejścia wszystkich bitów wyjściowych do 0. Przyczyna: zbyt krótki sygnał zerujący. Rozwiązanie problemu:
 - podłączamy sygnał wykrycia stanu końcowego na wejście zatrzasku RS,
 - wyjście zatrzasku podajemy na wejścia RESET układów liczników,
 - drugie wejście zatrzasku podłączone do sygnału zegarowego (wprost lub przez negację w celu usunięcia poziomu aktywnego sygnału RESET po połowie cyklu zegara – licząc od zbocza aktywnego).

2. Reset występuje zbyt wcześnie mimo, że układ wykrycia jest poprawny. Przyczyna: stan przejściowy np. 1100 (12) pomiędzy stanem 0111(7) a 1000(8). Rozwiązanie problemu:
 - Sygnał zerujący blokowany w trakcie pierwszej połowy cyklu zegara (gdy występują stany przejściowe na wyjściu wykrycia stanu końcowego).
3. Licznik w dół na 74193 liczy N,0,N,0 – Zastosowano sygnał Borrow z najstarszego modułu licznika jako sygnał ładowania wartości N oraz brak blokady resetu przy zliczaniu w dół. Rozwiązanie – blokada resetu przy liczeniu w dół.