

# Procesory Blackfin. Część 1

Wykład 7


Projektowanie cyfrowych układów elektronicznych

Mgr inż. Łukasz Kirchner

[lukasz.kirchner@cs.put.poznan.pl](mailto:lukasz.kirchner@cs.put.poznan.pl)

<http://www.cs.put.poznan.pl/lkirchner>

# Plan wykładu

- ▶ Charakterystyka rodziny procesorów Blackfin
  - ▶ Zapoznanie się z architekturą Blackfin
  - ▶ Zestawienie wybranych procesorów z rodziny Blackfin
- 


# Bibliografia

- ▶ <http://www.analog.com/processors/blackfin/>
- ▶ <http://www.blackfin.org/phorum/index.php>

# Blackfin - co, po co i dla kogo?

- ▶ Architektura procesorów RISC
- ▶ Rozwiązanie hybrydowe łączące cechy:
  - Mikrokontrolera (np. ARM)
  - Procesora sygnałowego (np. Texas Instruments C6xxx)
  - Procesora komputera osobistego (PC)
- ▶ Integruje rozbudowany zbiór urządzeń peryferyjnych
- ▶ Wydajność – 750MHz, 1500MIPS
- ▶ Cena – 15\$–30\$ (5\$ przy dużych seriach)

# Blackfin – zastosowania

- ▶ Przetwarzanie audio/video
  - ▶ Kompresja i dekompresja danych
  - ▶ Nadzór i sterowanie dużymi systemami o dużych przepływnościach danych
  - ▶ Urządzenia przenośne
  - ▶ Systemy oparte o system Linux
- 

# Historia Blackfin-ów

- ▶ Początek 2004 – współpraca firmy Analog Devices z Intel Corp. w zakresie Micro Signal Architecture (MSA)
- ▶ 2004 – prace nad architekturą Blackfin (Analog Devices)
- ▶ Styczeń 2005 – pierwsza informacja prasowa
- ▶ Marzec 2005 – Blackfin wygrywa konkurs na najbardziej innowacyjne rozwiązanie roku
- ▶ Lipiec 2005 – DSP Knowledge Base
- ▶ Styczeń 2006 – wprowadzenie BF537
- ▶ Kwiecień 2006 – rozpowszechnienie uC Linux

# Cechy architektury Blackfin 1 / 4

- ▶ 32-bitowy procesor RISC
- ▶ Ortogonalny zestaw instrukcji/rejestrów (wszystkie operacje można wykonywać na każdym z rejestrów)
- ▶ Udoskonalenia zestawu instrukcji:
  - Podwójna 16-bitowa jednostka MAC (Multiply and Accumulate)
  - Specjalne rozkazy dla przetwarzania obrazów
  - Wsparcie dla szybkich pętli
  - Rozkazy synchronizacyjne dla wielowątkowości i wieloprocusowości

# Cechy architektury Blackfin 2/4


- ▶ Wydajny kontroler DMA
  - Niezależna od procesora wymiana danych pomiędzy pamięcią a urządzeniami zewnętrznymi
- ▶ Wbudowany hierarchiczny kontroler pamięci:
  - Cache L1
  - Pamięć L2 (wewnętrzna)
  - Pamięć zewnętrzna SDRAM
- ▶ Jednolita przestrzeń adresowa z ochroną pamięci
- ▶ **BRAK wsparcia dla pamięci wirtualnej**



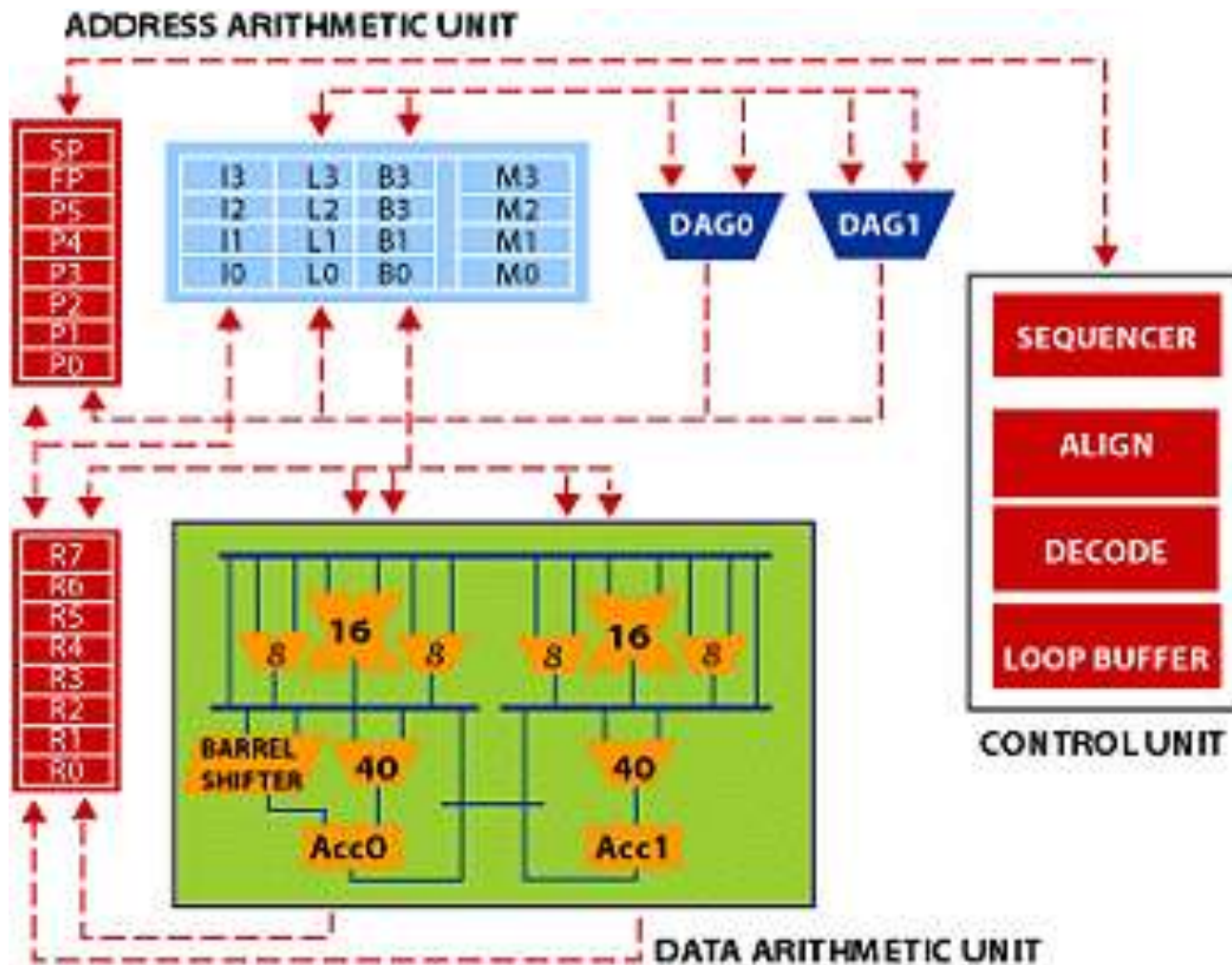
# Cechy architektury Blackfin 3 / 4

- ▶ Wsparcie dla urządzeń peryferyjnych:
  - 10/100 Ethernet MAC, porty UARTy, magistrala SPI, kontroler CAN
- ▶ Elastyczne porty ogólnego przeznaczenia GPIO
- ▶ Dynamic Power Management (DPM)
  - Cztery tryby pracy – min. tryb uśpienia
  - Sterowanie częstotliwością pracy
  - Sterowanie napięciem rdzenia

# Cechy architektury Blackfin 4/4

- ▶ Automatyczne ładowanie programu z zewnętrznej pamięci po starcie procesora
  - ▶ Wsparcie dla interfejsu JTAG umożliwiającego programowanie i debugowanie
- 

# Rdzeń Blackfin 1 / 5



**BLACKfin™ Processor Architecture Core**

# Rdzeń Blackfin 2 / 5

- ▶ Rejestry ogólnego przeznaczenia:
  - Rejestry danych
  - Typy przechowywanych danych: 8-, 16-, or 32-bit (ze znakiem lub bez) oraz 16- or 32-bitowe ułamkowe ze znakiem
  - 32-bit odczyty, 32-bitowe zapisy
  - Rejestry adresowe
  - Wskaźnik stosu
  - Wskaźnik ramki procedury

# Rdzeń Blackfin 3 / 5

- ▶ Data arithmetic unit:
  - Dwa 16-bitowe układy MACs
  - Dwa 40-bitowe ALU
  - Cztery 8-bitowe ALU dla przetwarzania obrazów
  - Pojedynczy rejestr przesuwany

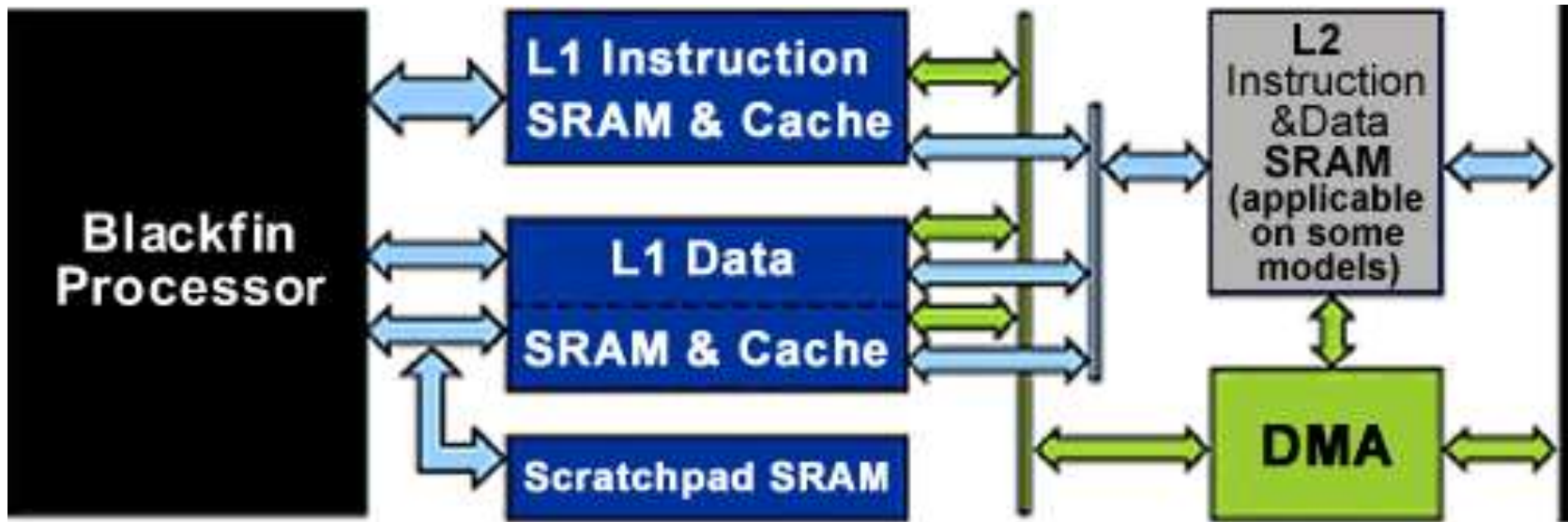
# Rdzeń Blackfin 4/5

- ▶ Address arithmetic unit:
  - Obsługuje dostępy do pamięci
  - 32-bitowa adresacja pamięci
  - Rejestry: Index, length, base, and modify
  - Bufory cykliczne
    - Umożliwiają adresowanie obszaru pamięci w arytmetyce modulo  $N$  ( $N = 2^M$ )
    - Niedostępne w sposób jawny z poziomu kompilatora C/C++

# Rdzeń Blackfin 5 / 5

- ▶ Program sequencer unit:
  - Skoki warunkowe i wywołania podfunkcji
  - Bezstratne pętle (dwa poziomy)
  - Wysoka gęstość kodu programu poprzez zastosowanie instrukcji 16-, 32- i 64-bitowych

# Pamięć procesora Blackfin



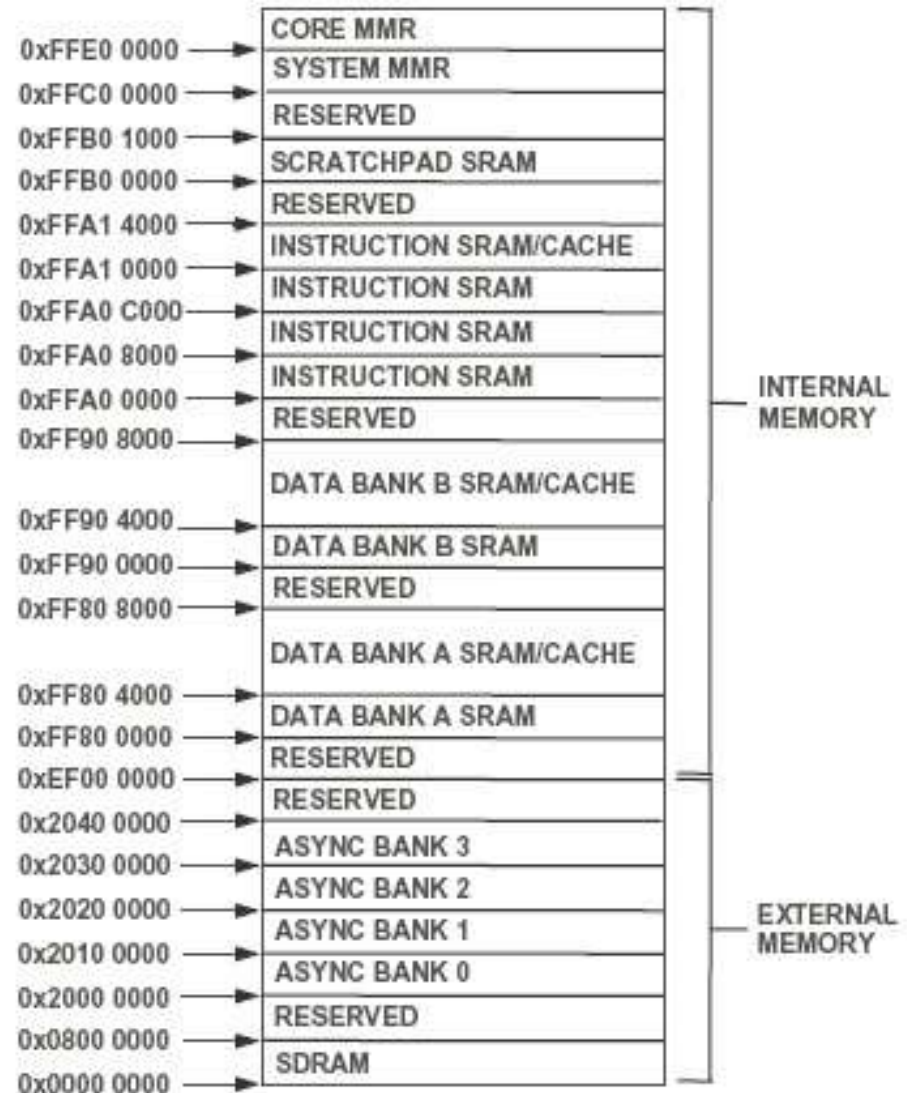
- ▶ Niezależny cache L1 dla danych i programu
- ▶ Możliwość wykorzystania L1 jako szybkiej pamięci podręcznej („brudnopisu”)
- ▶ 16-bitowy dostęp do pamięci zewnętrznej




# Mapa pamięci procesora Blackfin

- ▶ Rejestry zmapowane do pamięci (MMR)
- ▶ Wewnętrzna pamięć SRAM (maks.2MB)
- ▶ Zewnętrzna pamięć asynchroniczna (maks.4MB)
- ▶ Zewnętrzna pamięć SDRAM (maks.128MB)

ADSP-BF533 MEMORY MAP



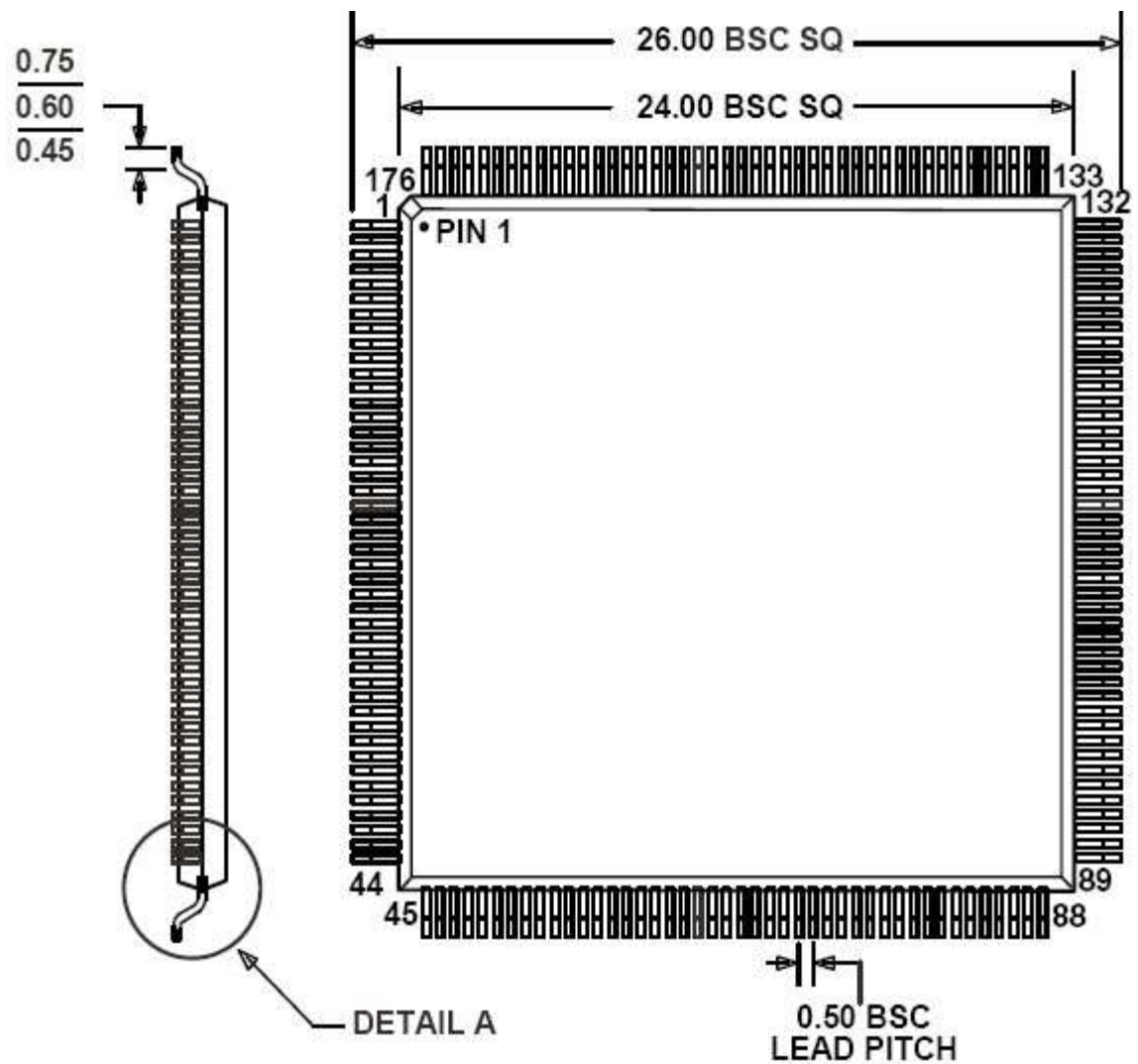
# Mapa pamięci procesora Blackfin

- ▶ SDRAM – Synchronous Dynamic Random Access Memory
  - ▶ SRAM – Static Random Access Memory
  - ▶ MMR – Memory Mapped Registers
  - ▶ SCRATCHPAD – wykorzystanie cache jako jawnej i bardzo szybkiej pamięci podręcznej („brudnopis”)
- 

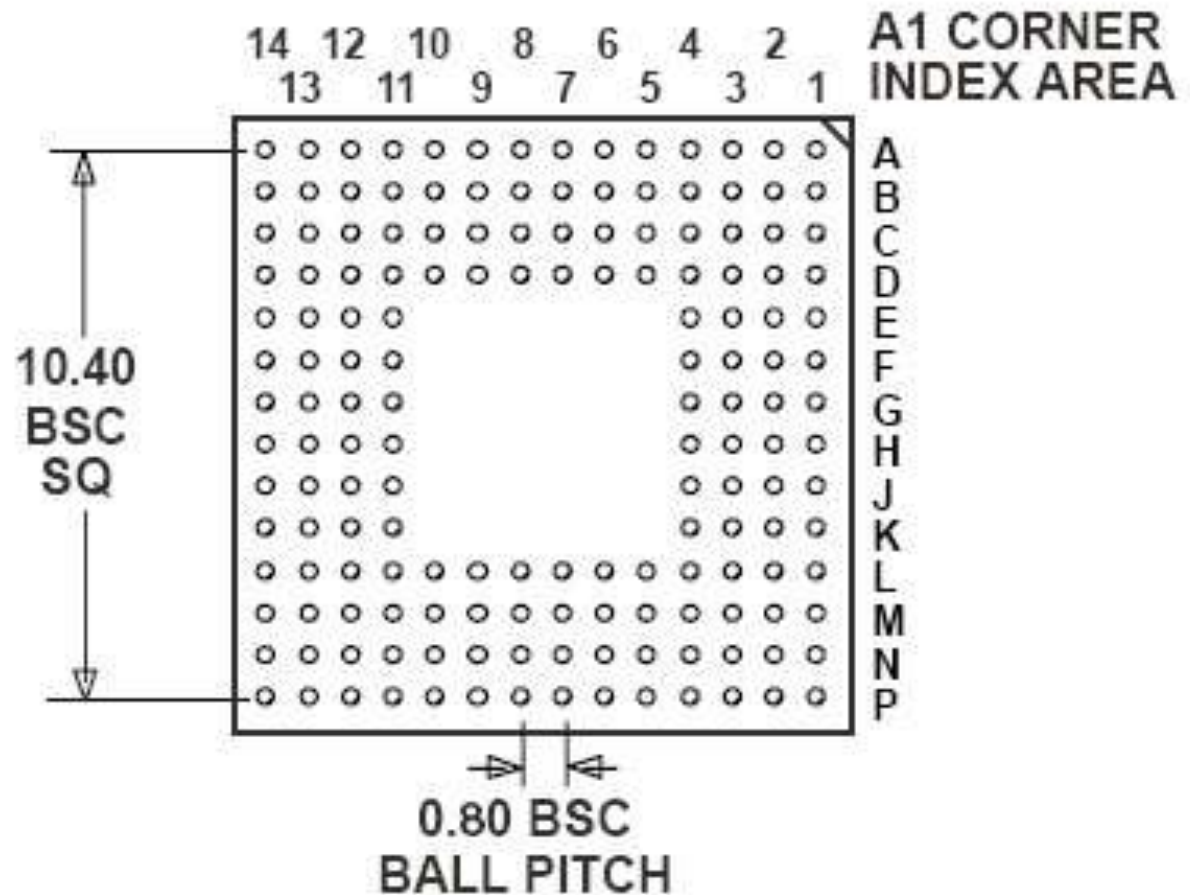
# Parametry elektryczne

- ▶ Niezależne domeny zasilania dla rdzenia i urządzeń systemowych
- ▶ Rdzeń 0,8V – 1,45V
- ▶ System 1,75V – 3,6V
- ▶ Częstotliwość zewnętrznego zegara: 10MHz–40MHz
  - Wewnętrzna pętla PLL: x1 – x64
  - Teoretycznie – 2560MHz
- ▶ Typowe obudowy 176–LQFP, 160–BGA, 169–PBGA, 208–BGA, 400–BGA

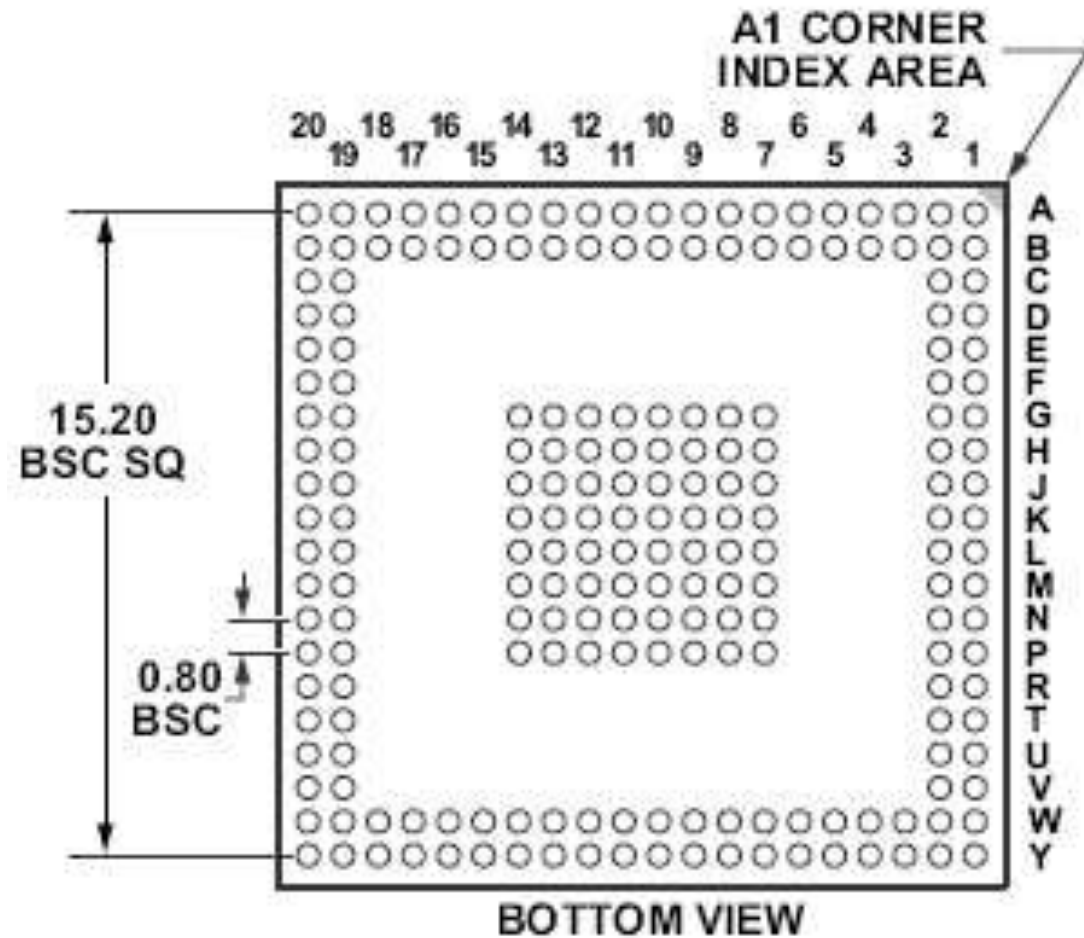
# 176-Lead Low Profile Quad Flat Package



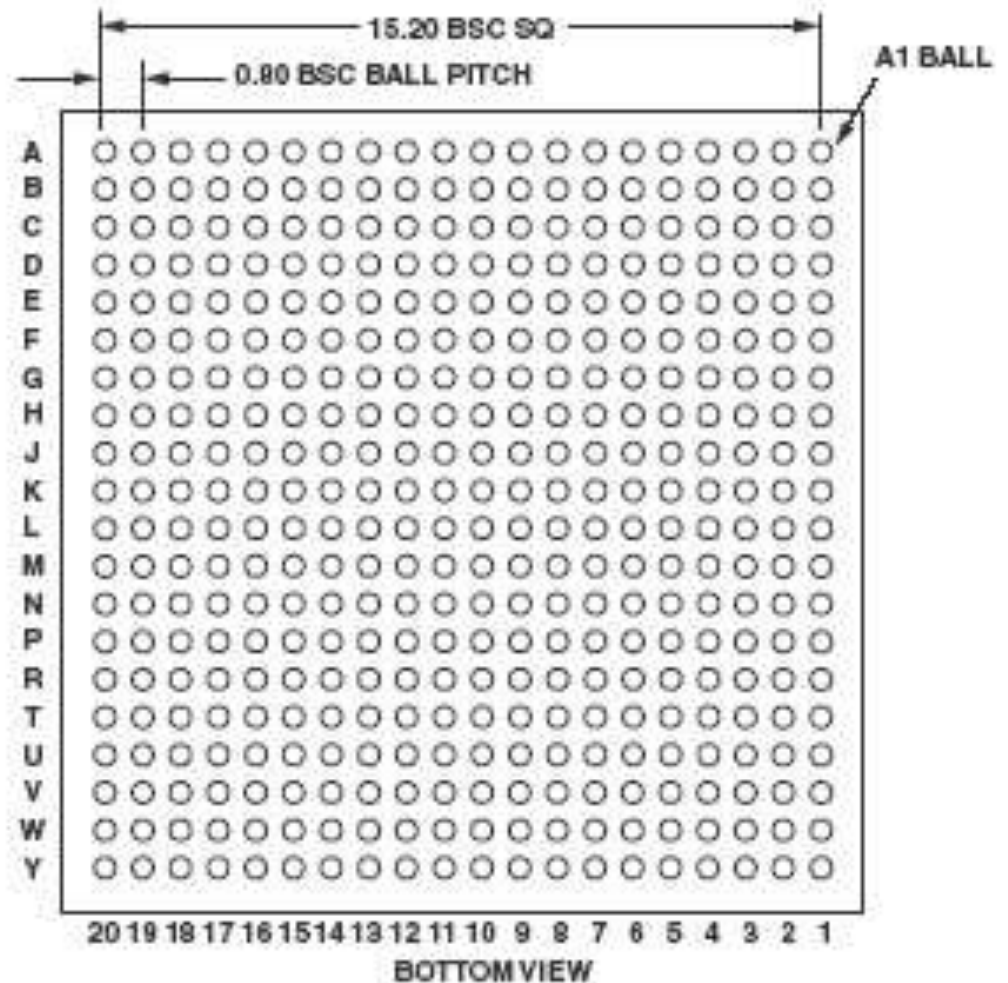
# 160-Ball Chip Scale Package Ball Grid Array



# 208-Ball Chip Scale Package Ball Grid Array



# 400-Ball, 17 mm 17 mm CSP\_BGA (Chip Scale Package Ball Grid Array)

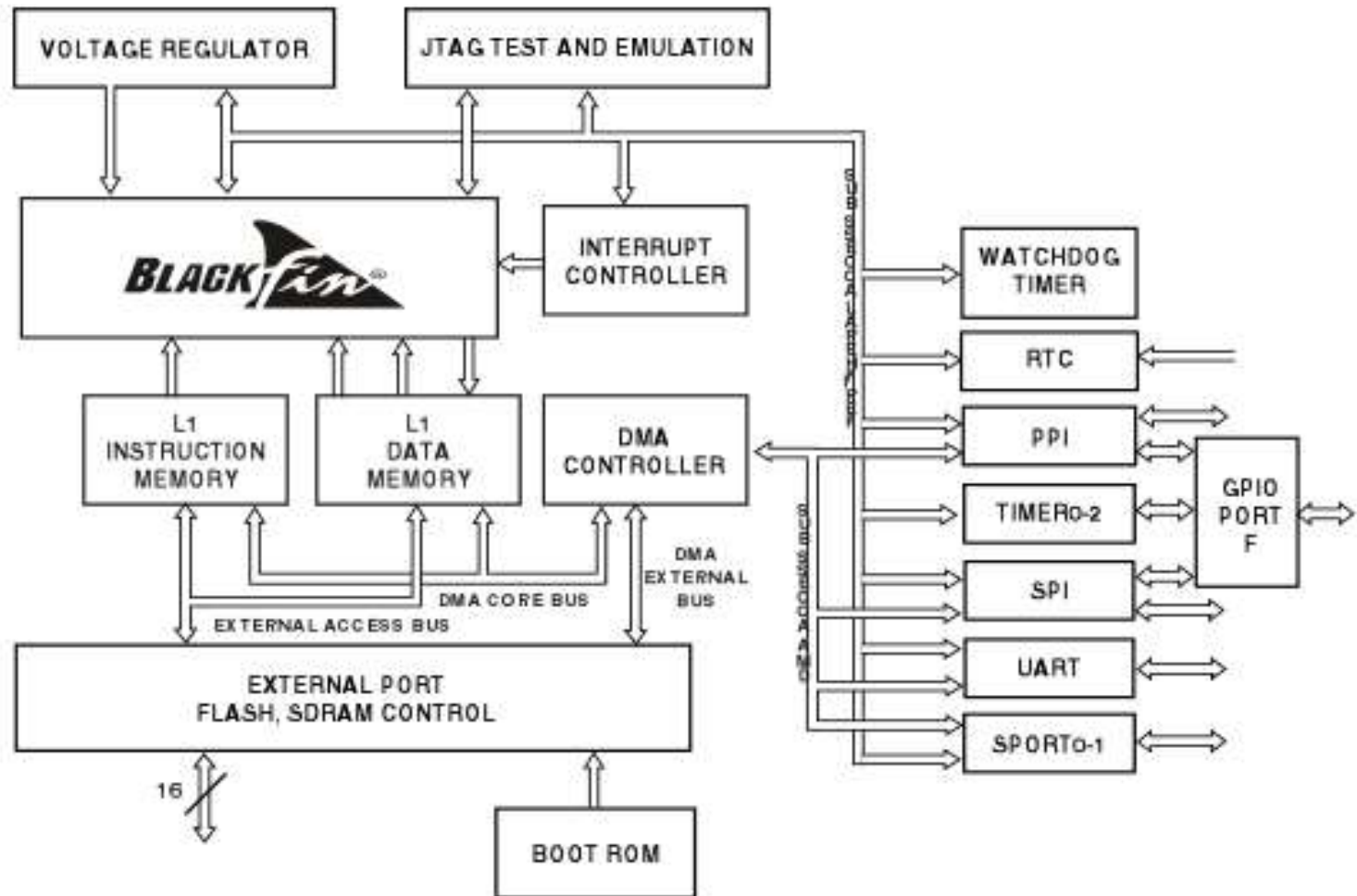


# Porównanie wybranych procesorów

	RAM	Clock [MHz]	GPIO	UART	SPORT	CAN	PPI	Ethernet	ATAPI	USB2.0
<b>BF522</b>	132K	300-600	48	2	2	0	1	nie	nie	nie
<b>BF533</b>	148K	400-750	16	1	2	0	1	nie	nie	nie
<b>BF537</b>	132K	500-600	48	2	2	1	1	tak	nie	nie
<b>BF538F</b>	148K	500-600	54	3	3	1	1	nie	nie	nie
<b>BF547</b>	132K	500-600	152	4	4	0	2	nie	tak	tak
<b>BF561</b> (DualCore)	200K	500-600	48	1	2	0	2	nie	nie	nie



# Blackfin BF-533



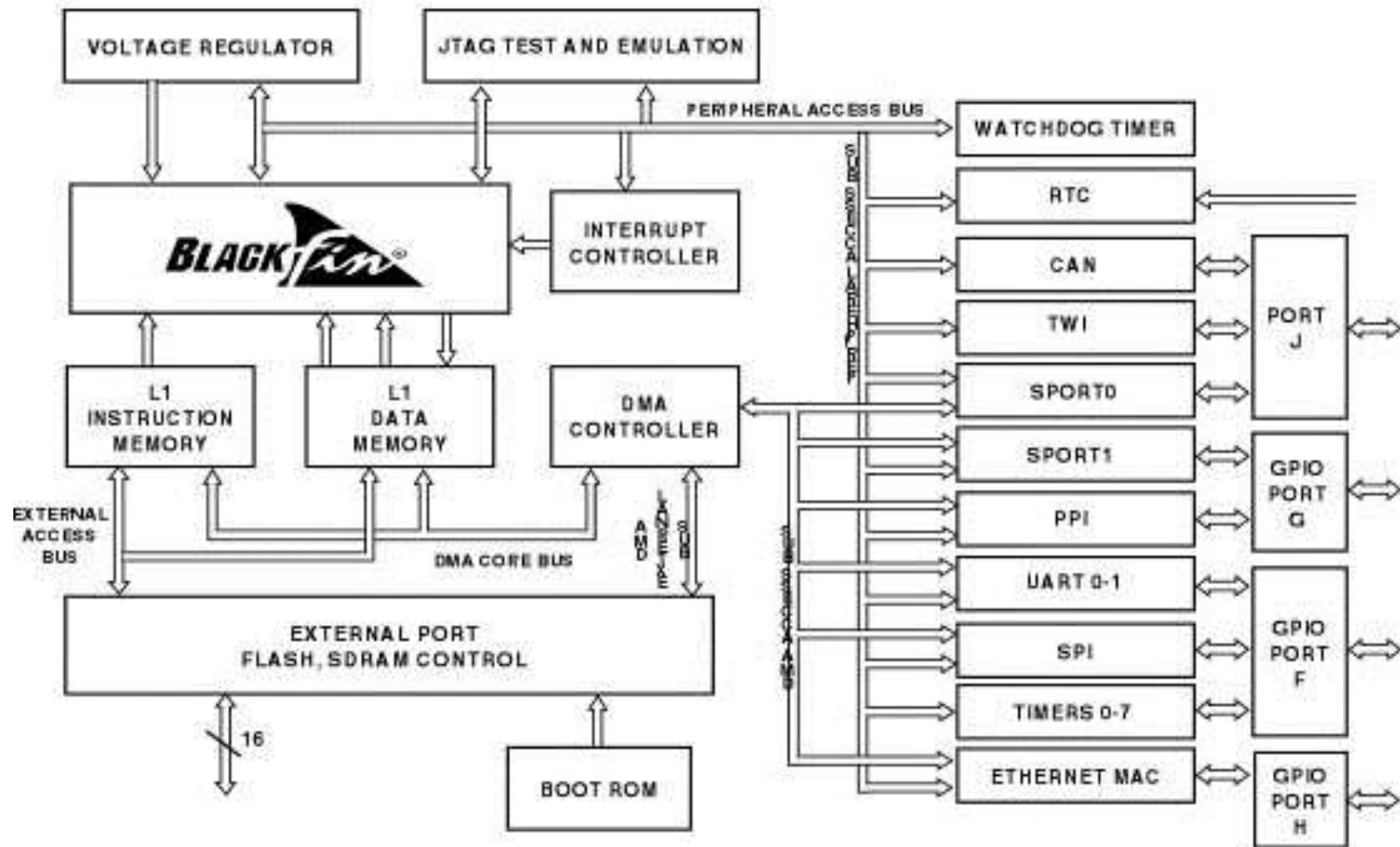
# Blackfin BF-533

- ▶ Blackfin o najwyższym zegarze - 756MHz
- ▶ 64kB pamięci danych
- ▶ 64kB pamięci programu
- ▶ 16kB Scratchpad
- ▶ Interfejsy peryferyjne:
  - PPI
  - UART, 2xSPORT, SPI
- ▶ Porty wejścia/wyjścia sprzężone z GPIO

# Blackfin BF-533

- ▶ Uwagi aplikacyjne:
  - Najpowszechniej dostępny
  - Przydatny do:
    - Przetwarzania obrazów z jednego źródła (np. kamery)
    - Przetwarzania audio po uzupełnieniu o zewnętrzne przetworniki
  - Umiarkowane poziom komplikacji przy projektowaniu płytki drukowanej

# Blackfin BF-537



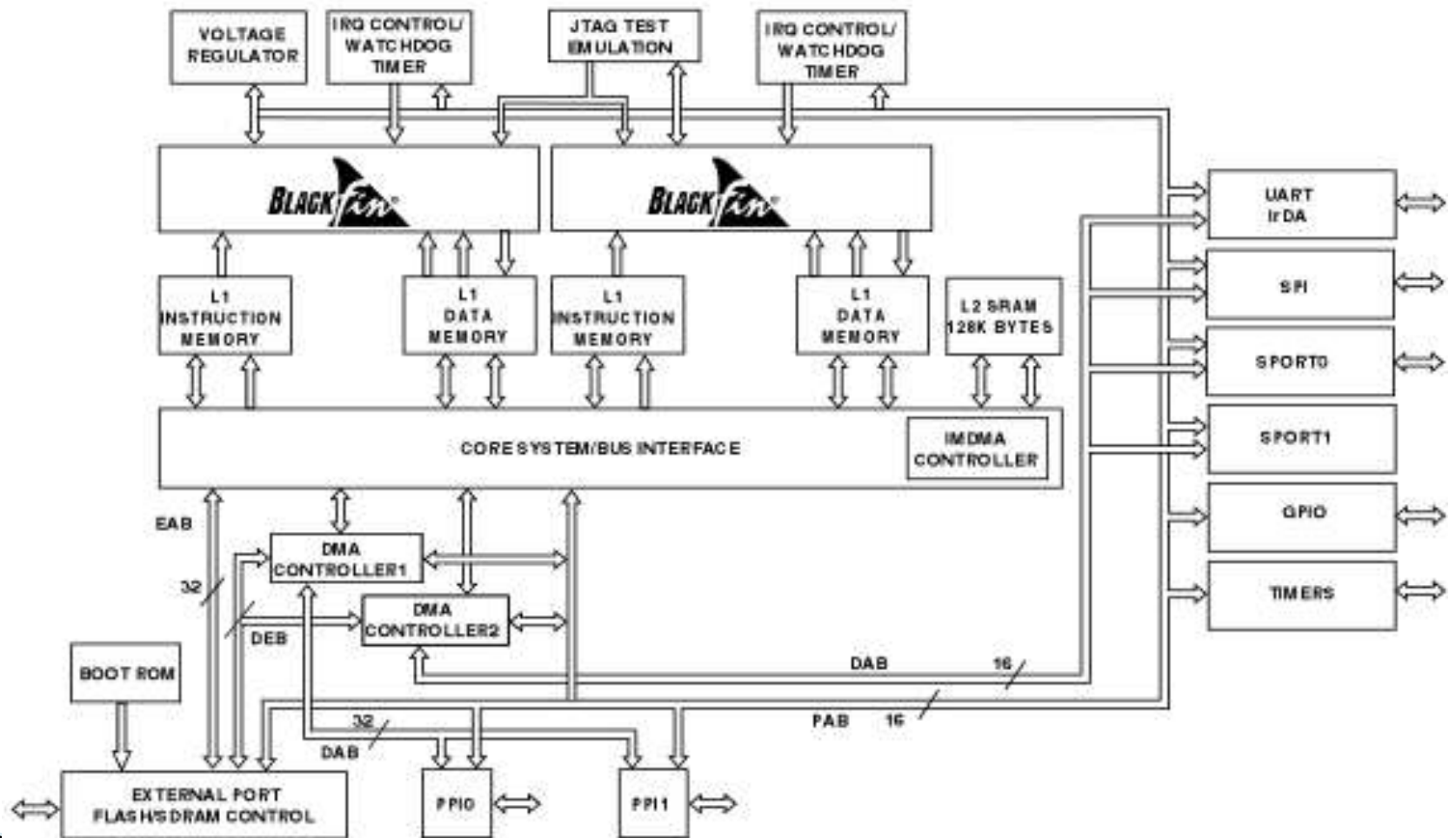
# Blackfin BF-537

- ▶ Rozszerzenie i unowocześnienie systemu wejścia/wyjścia BF-533
- ▶ Zegar 600MHz
- ▶ 64kB pamięci danych, 64kB programu
- ▶ Interfejsy peryferyjne:
  - PPI
  - 2xUART, 2xSPORT, SPI
  - Ethernet MAC
  - CAN
- ▶ Pełna konfiguracja portów wejścia/wyjścia

# Blackfin BF-537

- ▶ Uwagi aplikacyjne:
  - Przydatny:
    - Gdy wymagane są zaawansowane interfejsy wejścia/wyjścia lub ich współpraca
    - W zastosowaniach sieciowych (Ethernet MAC)
  - Umiarkowane poziom komplikacji przy projektowaniu płytki drukowanej

# Blackfin BF-561



# Blackfin BF-561

- ▶ Dwurdzeniowy procesor Blackfin:
  - 600MHz
  - 2400MIPS
- ▶ 328KB pamięci:
  - 32 KB dla programu/rdzeń
  - 64 KB dla danych/rdzeń
  - 4 KB scratchpad /rdzeń
  - 128 KB, współdzielonej pamięci L2 o niskiej latencji
- ▶ 32-bitowy kontroler pamięci
- ▶ Dwa niezależne układy DMA
- ▶ Interfejsy peryferyjne:
  - 2xPPI
  - UART, 2xSPORT, SPI



# Blackfin BF-561

- ▶ Uwagi aplikacyjne:
  - Możliwość niezależnej pracy dwóch równoległych procesów
  - Większe możliwości przekładają się na większy wysiłek programisty → synchronizacja i zarządzanie
  - Przydatny gdy:
    - Wymagana jest duża moc obliczeniowa
    - Wygodne jest wykorzystanie dwóch niezależnych procesów (lecz współpracujących lub współdzielących zasoby)
    - Konieczne jest wykorzystanie dwóch portów PPI
  - Duży poziom komplikacji przy projektowaniu płytki drukowanej

▶ **Dziękuję za uwagę!**

